

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-276374

(43)Date of publication of application : 22.10.1993

(51)Int.Cl.

H04N 1/40

B41J 2/52

G03G 15/00

G03G 15/01

G06F 15/62

G06F 15/66

G06F 15/66

(21)Application number : 04-068054

(71)Applicant : CANON INC

(22)Date of filing : 26.03.1992

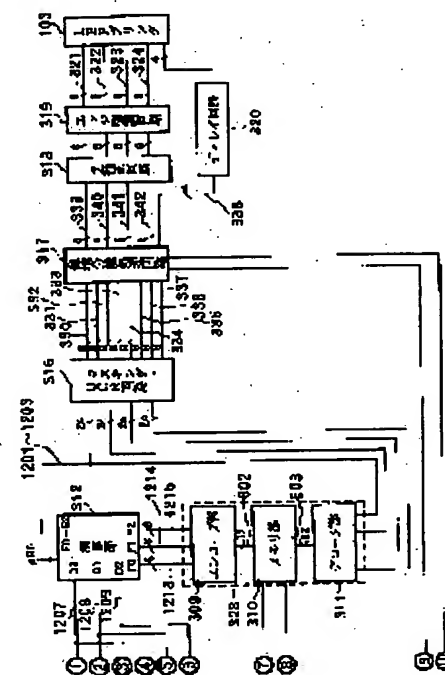
(72)Inventor : KURITA MITSURU

## (54) PICTURE PROCESSING UNIT

## (57)Abstract:

PURPOSE: To attain edit processing and black character processing compatible with each other between plural color multi-value pictures.

CONSTITUTION: In the case of implementing color synthesis of a multi-value color picture based on an area signal AR0 generated by an area generating section, when a 1st original is read, the AR0 signal is set to H in one page, ports D0-D2 are selected and outputs F0-F2 are inputted to an encoder section 309 in an arithmetic operation section 3. When a 2nd original is read, compression data are read from a picture memory in a memory section 310 with a read enable signal of magenta and a main scanning enable signal with a synchronizing signal DTOP, then expansion processing and inverse LOG transformation are applied, and color synthesis for the 1st and 2nd originals is implemented based on the AR0, a 3rd color picture signal is generated, and the signals F0-F2 are written again in the memory section 310 based on a write enable signal and the main scanning write enable signal.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-276374

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/40		F 9068-5C		
B 4 1 J 2/52				
G 0 3 G 15/00	3 0 2			
15/01	S	7339-2C	B 4 1 J 3/ 00	A
審査請求 未請求 請求項の数 4(全 30 頁) 最終頁に続く				

(21)出願番号 特願平4-68054

(22)出願日 平成4年(1992)3月26日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 栗田 充

東京都大田区下丸子3丁目30番2号 キャ  
ノン株式会社内

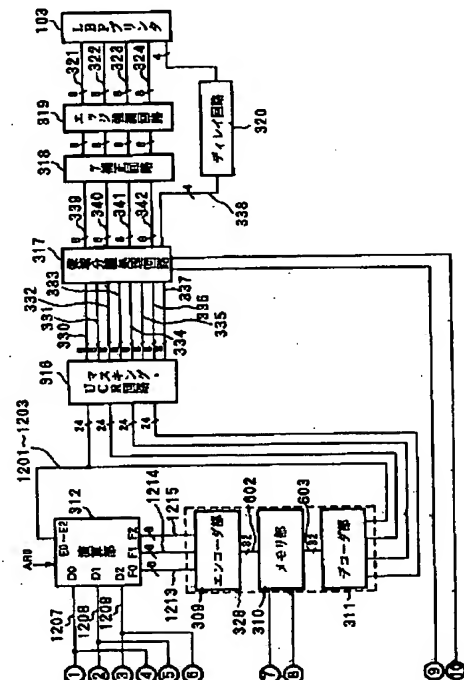
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 画像処理装置

(57)【要約】 (修正有)

【目的】複数のカラー多値画像間の編集処理と黒文字処理との両立を可能にする。

【構成】領域生成部で生成されたエリア信号AR0に基づいて、多値カラー画像のカラー合成を行う場合、演算部312は、第1の原稿が読み込まれた場合、AR0信号が1ページ中で“H”の状態になり、D0～D2が選択され、出力F0～F2がエンコーダ部309に入力される。第2の原稿が読み込まれた場合、DTOPを同期信号にしたマゼンタのReadイネーブル605b及び主走査イネーブル信号606bにより、メモリ部310内の画像メモリから圧縮データが読み出され、さらに伸張処理、逆LOG変換がかけられ、AR0に基づいて、第1の原稿と第2の原稿とがカラー合成され、第3のカラー画像信号が生成され、この信号F0～F2は信号Writeイネーブル及び主走査ライトイネーブル信号により再びメモリ部310に書き込まれる。



## 【特許請求の範囲】

【請求項1】多色且つ多値の画像信号を入力する第1の入力手段と、

前記第1の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定する第1の判定手段と、

前記第1の入力手段で入力した画像信号及び前記第1の判定手段の判定結果を記憶する記憶手段と、

多色且つ多値の画像信号を入力する第2の入力手段と、  
前記第2の入力手段で入力した画像信号に基づいて2値

画像領域及び多値画像領域を判定する第2の判定手段と、

前記第2の入力手段によって入力された画像信号と前記記憶手段に記憶した画像信号とに基づいて多色且つ多値の画像信号を生成する場合に、前記第1の判定手段の判定結果と前記第2の判定手段の判定結果とに従って多色且つ多値の画像信号を生成する画像生成手段とを備えることを特徴とする画像処理装置。

【請求項2】前記画像生成手段は、画像処理手段と、該画像処理手段のあるモードに従って画像処理を行う場合に、前記第1の判定手段の判定結果と前記第2の判定手段の判定結果とから像域処理のための信号を生成する生成手段と、該生成手段で生成した信号に従って像域処理を行う像域処理手段とを含むことを特徴とする請求項1記載の画像処理装置。

【請求項3】前記記憶手段は、さらに、前記画像生成手段で生成した画像信号と前記生成手段で生成した信号とを記憶することを特徴とする請求項1記載の画像処理装置。

【請求項4】前記記憶手段は、画像信号を圧縮する圧縮手段と、前記圧縮手段で圧縮したデータを記憶するメモリと、前記メモリに記憶したデータを伸張する伸張手段とを含むことを特徴とする請求項1記載の画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、例えば、入力画像をデジタル的に処理し、これに種々の画像処理を施す画像処理装置に関するものである。

## 【0002】

【従来の技術】近年、カラー原稿を色分解し、画素ごとに読み取り、読み取った画像データをデジタル処理し、LBP（レーザ・ビーム・プリンタ）カラープリンタに出力することにより、デジタルカラーハードコピーを得るデジタルカラー複写機が広範に普及しつつある。この種の装置では、画像データをデジタル的に処理できるという利点から、画像の出力位置を移動させたり（図1（a））、所望の画像領域を抜き出したり（図1（b））、所望の領域内のある色のみ色を変換したり（図1（c））、メモリに記憶された文字や画像を反射

原稿にはめ込んだり（図1（d））等、種々の画像加工が可能になり、いわゆるカラー複写の分野での応用は広がりつつある。さらに、高速化の要求に答えるべく、4つのドラムから構成され、各ドラムにて1色ずつ印刷してLBPプリンタに出力する手法が提案されている。

【0003】一方、カラー反射原稿に対して、文字は文字らしく画像はより画像らしくという要求が高まっており、これに対しては像域分離により文字部と画像部を分離し、文字部には高解像処理が特に黒い文字部に対しては黒単色で打つ処理が、他方画像部に高階調処理がなされている。

【0004】さらに、上述の4つのドラムから構成されるカラー複写機において、画像データを記憶する画像メモリが必須である。

【0005】さらに、この画像メモリを利用することにより、カラー多値画像同士の編集処理（カラー合成等）が可能になった。

## 【0006】

【発明が解決しようとしている課題】しかしながら、上記従来例では、（1）反射原稿（入力原稿）に対して黒文字処理を施すもの、（2）カラー多値画像同士の編集処理（カラー合成等）を施すもの、のどちらか一方を満たすものはいくつか提案されているが、（1）、（2）の両方、すなわち、それぞれ像域判別された多値画像同士に編集処理を施すものはなかった。

【0007】本発明は、上述した従来例の欠点に鑑みてなされたものであり、その目的とするところは、複数のカラー多値画像間の編集処理と黒文字処理との両立を可能とする画像処理装置を提供する点にある。

## 【0008】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、本発明に係る画像処理装置は、多色且つ多値の画像信号を入力する第1の入力手段と、前記第1の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定する第1の判定手段と、前記第1の入力手段で入力した画像信号及び前記第1の判定手段の判定結果を記憶する記憶手段と、多色且つ多値の画像信号を入力する第2の入力手段と、前記第2の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定する第2の判定手段と、前記第2の入力手段によって入力された画像信号と前記記憶手段に記憶した画像信号とに基づいて多色且つ多値の画像信号を生成する場合に、前記第1の判定手段の判定結果と前記第2の判定手段の判定結果とに従って多色且つ多値の画像信号を生成する画像生成手段とを備える。

## 【0009】

【作用】かかる構成によれば、第1の入力手段は多色且つ多値の画像信号を入力し、第1の判定手段は第1の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定し、記憶手段は第1の入力手段で入

力した画像信号及び第1の判定手段の判定結果を記憶し、第2の入力手段は多色且つ多値の画像信号を入力し、第2の判定手段は第2の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定し、画像生成手段は第2の入力手段によって入力された画像信号と記憶手段に記憶した画像信号とに基づいて多色且つ多値の画像信号を生成する場合に、第1の判定手段の判定結果と第2の判定手段の判定結果とに従って多色且つ多値の画像信号を生成する。

#### 【0010】

【実施例】以下に添付図面を参照して、本発明に係る好適な一実施例を詳細に説明する。

<第1の実施例>図2は本発明の第1の実施例によるデジタルカラー複写機の内部構成を示す側断面図である。

【0011】図2において、カラー原稿を読み取り、さらにデジタル編集処理等を行うカラーリーダ部101と、異なった色毎に像担持体を持ち、リーダ部から送られる各色のデジタル画像信号に応じて、カラー画像を再現出力するレーザカラープリンタ103より構成される。

【0012】図3及び図4は第1の実施例によるカラーリーダ部101におけるデジタル画像処理部の構成を示すブロック図である。同図において、301はCCD、302はA/D（アナログ→デジタル）・S/H（サンプルホールド）回路、303はシェーディング補正回路、304は入力マスキング回路、305は変倍回路、306は色検出部、307は文字検出部、308、312は演算部、309はエンコーダ、310、313はメモリ部、311はデコーダ部、314はセクタ、315はレジスタ、316はマスキング・UCR（下色除去）回路、317は像域分離処理回路、318はγ（ガンマ）補正回路、319はエッジ強調回路、320はディレイ回路、329は領域生成部をそれぞれ示している。321～327、330～338、339～342、605、606、1207～1209、1419、1420、1510a、1510b、1505、1506は信号線を示している。

【0013】次に、上記構成による動作を説明する。

【0014】図示しない原稿台上のカラー原稿は図示しないハロゲンランプで露光される。その結果、反射像がCCD301にて撮像され、さらにA/D・S/H回路302にてサンプルホールドされた後A/D変換され、R、G、Bの三色のデジタル信号が生成される。各色分解データはシェーディング補正回路303にてシェーディング及び黒補正され、さらに入力マスキング回路304にてNTSC信号に補正され、変倍処理回路305にて拡大、縮小等の変倍がなされ、色検出部306、文字検出部307及び後述する演算部308に入力される演算部308の出力はメモリ部313に記憶される。さ

らに、複数の多値カラー画像処理（例えば、カラー画像合成）を行う時は、メモリ部313より出力するそれぞれCMYK用の文字信号、黒信号の内、夫々1ビットを図示しないCPU（レジスタ315）の命令に基づいてセクタ314にて選択され、その出力はさらに演算部308に再入力する。

【0015】図13は第1の実施例による演算部312の構成を示すブロック図である。同図において、1204～1206はROM、1210～1212はセクタ、1201～1203、1207～1209、1213～1215は信号線をそれぞれ示している。

【0016】演算部312は、逆LOG変換を施して、CMY信号をRGB信号に変換するROM1204～1206及び3つのセクタ1210～1215より構成される。

【0017】次に、演算部312とメモリ部310との動作について説明する。

【0018】図6は第1の実施例によるメモリ部310の構成を示すブロック図であり、図7は第1の実施例による副走査方向イネーブルタイミング信号のタイミングチャートである。

【0019】図6において、601は画像メモリ、602、603は画像データを伝送する信号線、604はRAS0、CAS0、WE0の各信号を発生する発生部、607はアドレスカウンタをそれぞれ示している。

【0020】この演算部312は、エリア信号（AR0）に基づいて、多値カラー画像のカラー合成を行う回路である。同演算部312では、第1の原稿が読み込まれた時に、AR0信号が1ページ中で“H”の状態になる。その結果、D0～D2（信号線1207～1209）がセクタ1210～1212でそれぞれ選択され、出力F0～F2（信号線1213～1215）がエンコーダ部309に入る。

【0021】さらに、この出力F0～F2はメモリ部313に記憶される。

【0022】次に、第2の原稿が読み込まれた時、DTOPを同期信号にしたマゼンタ（MAGENTA）のReadイネーブル605b及び主走査イネーブル信号606bにより画像メモリ601から圧縮データが読み出され、さらに伸張処理がアドレスカウンタ605でかけられ、さらに、ROM1204～1206で逆LOG変換がかけられる。そして、AR0に基づいて、第1の原稿と第2の原稿とがカラー合成され、第3のカラー画像信号が生成される。この信号F0～F2（1213～1215）はDTOP12に基づいた信号Writeイネーブル605a及び主走査ライトイネーブル信号606aにより再びメモリ部310に書き込まれる。

【0023】328は圧伸部である。後述する演算部312から出力され、エンコーダ部309で圧縮されたR、G、Bデータはメモリ部310に書き込まれ、さら

にメモリ部310より読み出された圧縮コードはデコーダ部311にて伸張され、各ドラムに対するYMC信号が出力する。その内、1系統のYMC信号は、カラー多値画像合成を行う演算部312に再入力する。

【0024】さらに、マスキング・UCR回路316にて4色分のマスキング、UCRがかけられ、さらに像域分離処理回路317にて文字検出部306、色検出部307及び演算部308の結果に基づいた像域分離処理がなされる。演算部318では補正、エッジ強調回路319ではエッジ強調がかけられ、4色分のデータがLBプリンタ103に出力される。又、ディレイ回路320ではビデオ信号（信号線321～324）と、LBプリンタ103にて処理される高解像／高階調処理の為の切り換え信号との同期合せが行なわれる。

【0025】329は領域生成部で、画先センサの出力であるDTOP（信号線325）、紙先センサの出力であるITOP（信号線326）及び水平同期信号HSNC（信号線327）に基づいて、メモリ部310、313の書き込み、読み出しの主走査、副走査イネーブル及び演算部312、308におけるビデオセレクト信号AR0、AR1を生成する部分である。

【0026】図2のLBPプリンタ部103において、201はビデオ処理部101において生成されたレーザー光を感光ドラム上に走査させるポリゴンスキャナであり、202は初段のマゼンタ（M）の画像形成部である。同様の構成でシアン（C）、イエロー（Y）、ブラック（K）の各色についての画像形成部を203、204、205で示す。

【0027】画像形成部202において、218はレーザー光の露光により潜像を形成する感光ドラムであり、213はドラム218上にトナー現像を行う現像器であり、現像器213内の214は現像バイアスを印加し、トナー現像の行うスリーブであり、215は感光ドラム218を所望の電位に帯電させる1次帯電器であり、217は転写後のドラム218の表面を清掃するクリーナであり、216はクリーナ217で清掃されたドラム218の表面を除電し、1次帯電器215において良好な帯電を得られるようにする補助帯電器であり、230はドラム218上の残留電荷を消去する前露光ランプであり、219は転写ベルト206の背面から放電を行い、ドラム218上のトナー画像を転写部材に転写する転写帯電器である。

【0028】209、210は転写部材を収納するカセットであり、208はカセット209、210から転写部材を供給する給紙部であり、211は給紙部208により給紙された転写部材を転写ベルト206に吸着させる吸着帯電器であり、212は転写ベルト206の回転に用いられると同時に吸着帯電器211と対になって転写ベルト206に転写部材を吸着帯電させる転写ベルトローラである。

【0029】224は転写部材を転写ベルト206から分離しやすくするための除電帯電器であり、225は転写部材が転写ベルトから分離する際の剥離放電による画像乱れを防止する剥離帯電器であり、226、227は分離後の転写部材上のトナーの吸着力を補い、画像乱れを防止する定着前帯電器であり、222、223は転写ベルト206を除電し、転写ベルト206を静電的に初期化するための転写ベルト除電帯電器であり、228は転写ベルト206の汚れを除去するベルトクリーナである。207は転写ベルト206から分離され、定着前帯電器226、227で再帯電された転写部材上のトナー画像を転写部材上に熱定着される定着器である。229は給紙部208により転写ベルト上に給紙された転写部材の先端を検知する紙先端センサであり、紙先端センサからの検出信号403はプリンタ部からリーダ部に送られ、カラーリーダ部101からプリンタ部103にビデオ信号を送る際の副走査同期信号として用いられる。

【0030】図5は第1の実施例による圧縮・伸張を説明する図である。

【0031】圧伸部328はエンコーダ部309によりデータ圧縮される。例えば、図5の太枠斜線部の部分について考えると、1マスが1画素に相当し、この1画素にはRGB3色のデータがそれぞれ8ビットずつあり、これを4画素×4ライン、すなわち16画素分のデータを1ブロックとしてL'a'b'変換し、この16画素×3色×8bit=384のデータを1/12に圧縮し、32bitデータとする。これをいま画像データ908として、メモリ部707に格納し、これを4色同時処理にてYMCKそれぞれのデコーダ部708に画像データ909として送り、YMCKそれぞれ24bitにデータ伸張する。

【0032】このとき、メモリ部310には読取り原稿あるいは記録紙に応じたメモリ空間を持っており、図5のように、同一アドレス空間上に画像メモリ601（32bitデータ）を持つ。画像メモリ601は、ここではDRAMとして説明するが、それ以外の記憶手段でも構わない。そして、これらアドレスバスが共通になっており、アドレスカウンタ607は4画素×4ラインを1単位として、メモリ空間の1アドレスとし、そこに32bitのデータを図7の（ロ）のタイミング（605a）で格納し、（ホ）～（チ）（605b～605e）のようにYMCKそれぞれのタイミングで読出していく。

【0033】図8は第1の実施例による画像メモリのリード・ライトを説明する図である。ここで、4画素×4ラインを、図8のように、8個のブロックに時分割し、それぞれのブロックで画像メモリへの画像データの書き込みや各色の読み出しなどをあらかじめ決めておき、それぞれ独立してメモリ空間のアドレスへアクセスする系を考える。

【0034】図9、図10、図11は第1の実施例による画像メモリの構成を示すブロック図であり、図12は第1の実施例による画像イメージを説明する図である。

【0035】図9～図11において、800～807、901～908、917～924、1001はラッチ、1005～1009はDフリップ・フロップ、808、925、1002はセクタ、809、926はカウンタ、810、927はアダーをそれぞれ示している。

【0036】このとき、図9のように、ラッチ0～7(800～807)に図示しないCPUから主走査方向10の初期値をラッチさせる。例えば、順に000H、810H、020H、830H、040H、850H、060H、870Hをラッチさせたとする。

【0037】次に、セクタ808で、時分割により、図8のように各ブロックごとにラッチさせた初期値を選択していく。また、カウンタ809は各ラインの先頭の同期信号HSNCでカウント値を000H、さらにメモリライト時は主走査ライトイネーブル信号をリード時は主走査リードイネーブル信号をセレクト信号として、4画素毎にカウントアップしていき、アダー810により2つの値を加減算して、XADRを出力する。このとき、それぞれの初期値の最上位ビットをXOFF信号とし、これが“0”のとき加算、“1”のとき減算すると、図8のブロック(イ)では、000H、001H、002H…とカウントアップし、ブロック(ロ)では、010H、00FH、00EH…とカウントダウンし、以下、同様にして、ブロック(チ)では、070H、06FH、06EH…とカウントダウンする。

【0038】次に、図10でも同様にして、901～908にも図示しないCPUから副走査方向の初期値をラッチさせ、主走査方向と同様に最上位ビットをYOFF信号として“0”ならばアダー927を加算、“1”ならば減算させる。次に、カウンタ926は電源投入時のRST信号と共にクリアされ、電源OFFまで4ライン毎に1つカウントアップする。そして、前述の初期値Yとカウンタ926のカウント値C<sub>1</sub>をアダー901～916により加減算し、その計算値Y<sub>1</sub>±C<sub>1</sub>を図7の副走査方向のイネーブル信号の立上りの同期信号PS0～PS7でラッチ917～926にて記録紙1枚につき1コずつラッチする。これをセクタ25にて時分割し、計算値Y<sub>1</sub>±C<sub>1</sub>を出力する。本実施例では、PS0、PS2、PS4はNC、PS1は副走査ライトイネーブルより生成、PS4は副走査イエローリードイネーブルより生成、PS5は副走査マゼンタリードイネーブルより生成、PS6は副走査シアンリードイネーブルより生成、PS7は副走査ブラックリードイネーブルより生成される。

【0039】更に、アダー927にてラッチされた計算値Y<sub>1</sub>±C<sub>1</sub>と4ライン毎にアップするカウンタ値C<sub>2</sub>とを加減算し、YADR=Y<sub>1</sub>±C<sub>1</sub>±C<sub>2</sub>となる。即

ち、YOFF=“0”のときはYADR=Y<sub>1</sub>+ (C<sub>2</sub>-C<sub>1</sub>)、YOFF=“1”のときはY<sub>1</sub>- (C<sub>2</sub>-C<sub>1</sub>)となり、初期値Y<sub>1</sub>と実際のカウント値(C<sub>2</sub>-C<sub>1</sub>)とを加減算した値がYADRより出力される。

【0040】次に、図11より、ラッチ1001に図示しないCPUから図8の(イ)～(チ)のそれぞれのブロックごとにXADRとYADRを入れかえる信号YADRを入れ替える)をあらかじめ入れておき、各ブロックごとにセクタ1003、1004により選択してDフリップ・フロップ1005、1006を経て、主走査方向アドレスとしてXMAを、副走査方向アドレスとしてYMAを出力する。また、前述のXYCHG信号、XOFF信号、YOFF信号の3つの信号をDフリップ・フロップ1007～1009にてXMA、YMAと同期を合わせて、信号ROT<0>、ROT<1>、ROT<2>を得る。そして、この3bitのROT信号により、図12のように①～⑧のような画像イメージとなる。

【0041】以上のような方法により、図8の(ロ)のブロックにてROT信号を出力したい画像イメージに合わせてメモリに書き込み、(ホ) (ヘ) (ト) (チ)のブロックにてROT=000でメモリからそのまま読出して図12の①のような画像を入力したときに①～⑧のような8種類の出力画像が得られる。

【0042】図14及び図15は第1の実施例による文字画像検出部306～307の構成を示すブロック図である。同図において、1301、1302は最小値検出回路、最大値検出回路を示している。1303はエッジ強調回路、1304は減算回路、1305～1308はラインメモリ、1309、1310は平均値算出回路、1313、1323はリミッタ、1314、1319、1324はオフセット、1315は加算器、1316、1321、1326はコンパレータ、1317、1328、1333はディレー回路、1318はリミックス、1329はORゲート、1322は網点領域判別回路、1327は輪郭回路、1331はインバータ、1332はANDゲート、1334A、1334Bはブロック化回路、1330は誤判定除去回路をそれぞれ示している。

【0043】以上の構成において、変倍回路305より入力される色分解データ1207～1209は最小値検出回路1301及び最大値検出回路1302に入力される。選択されたそれぞれの信号は、減算回路1304でその差分を求める。差分が大、すなわち入力されるR、G、Bが均一でないことでない場合、白黒を示す無彩色に近い信号でなく何らかの色にかたよった有彩色であることを示す。当然この値が小さければ、R、G、Bの信号がほぼ同程度のレベルであることであり、なにかの色にかたよった信号でない無彩色信号であることがわかる。この差分信号はグレイ信号とし、ブロック化回路1

334Aにて4×4のブロック化を多数決処理等で行い、ディレイ回路1333に出力され、さらにメモリ部313に出力される。

【0044】最小値検出回路1301で求められた最小\*

$$D_{out} = (9/8) D_i - (1/16) (D_{i-1} + D_{i+1}) \dots (1)$$

である。D<sub>out</sub> はエッジ強調後の画像データ、D<sub>i</sub>はi番目の画素データをそれぞれ示す。

【0045】なお、エッジ強調は必ずしも上の方法に限らず、他の公知の技術を用いても良い。主走査方向に対しエッジ強調された画像信号は、次に5×5および3×3のウィンドウ内の平均値算出が、5×5平均をとる平均値算出回路1309、3×3平均をとる平均値算出回路1310で行われる。ラインメモリ1305～1308は、平均処理を行うための副走査方向の遅延用メモリである。5×5平均をとる平均値算出回路1309で算出された5×5平均値は次にやはり図示されていないCPU・BUSに接続されたオフセット部に独立にセットされたオフセット値と加算器1315、1319、1324で加算される。加算された5×5平均値はリミッタ1313、リミッタ1318、リミッタ1323に出力される。各リミッタ1313～1323は、図示しないCPU・BUSで接続されており、それぞれ独立にリミッタ値がセットできる様構成されており、5×5平均値が設定リミッタ値より大きい場合、出力はリミッタ値でクリップされる。各リミッタからの出力信号は、それぞれコンパレータ1316、1321、1316に出力される。まず、コンパレータ1316では、リミッタ1313の出力信号と3×3平均1310からの出力とで比較される。比較されたコンパレータ1316の出力は、後述する網点領域判別回路1322からの出力信号と位相を合わせるべくディレイ回路1317に出力される。この2値化された信号は、任意の濃度以上でMTFによるつぶれ、かつ、とびを防止するために平均値での2値化を行っており、また網点画像の網点を2値化で検出しないよう、網点画像の高周波成分をカットするため、3×3のローパスフィルタを介している。次に、コンパレータ1321の出力信号は、後述にある網点領域判別回路1322で判別できるよう、画像の高周波成分を検出すべくスルー画像データとの2値化が行われている。網点領域判別回路1322では、網点画像のドットの集まりで構成されているため、エッジの方向からドットであることを確認し、その周辺のドットの個数をカウントすることにより検出している。

【0046】このようにして、網点領域判別回路1322で判別した結果と前記ディレイ回路1317からの信号とでORゲート1329をとった後、誤判定除去回路1330で誤判定を除去する。この誤判定除去回路1330では、文字等は細く画像は広い面積が存在する特性を生かし2値化された信号に対し、まず、画像域を細らせ、孤立して存在する画像域をとる。具体的には、中心

\* 値信号は、他にエッジ強調回路1303に出力される。エッジ強調回路1303では、主走査方向の前後画素データをを用い以下の式(1)に従って演算を行うことによりエッジ強調が行われている。即ち、

画素x<sub>ij</sub>に対し、周辺1mm角のエリア内に1画素でも画像以外の画素が存在する時、中心画素は画像外域と判定する。このように孤立点の画像域を除去した後、細った画像域を元にもどすべく太らせ処理が行われる。同様に、網点判別回路1322の出力は直接誤判定除去回路1331に出力され、細らせ処理、太らせ処理が行われる。ここで細らせ処理のマスクサイズは、太らせ処理のマスクサイズと同じか、もしくは太らせ処理の方を大とすることにより、太らせた時の判定結果がクロスするようになっている。具体的には、17×17画素のマスクで細らせた後、さらに5×5のマスクで細らせ、次に34×34画素のマスクで太らせ処理が行われている。

【0047】次に、コンパレータ1326からの出力信号は後段で文字をシャープに処理すべく入力画像信号の輪郭を抽出している。抽出方法としては、2値化されたコンパレータ1326の出力に対し5×5のブロックでの細らせ処理、および太らせ処理を行い太らせた信号と細らせた信号の差分域を輪郭この様な方法により抽出した輪郭信号は、インバータ1331より出力されるマスク信号との位相を合わせるべく、ディレイ回路1328を介した後、ANDゲート1332にかけられ、さらに後述する圧縮のブロック単位(4×4)にあわせるべく4×4ブロック内の多数決処理等により、ブロック化をブロック化回路1334で行い、後段の演算部308に出力する。

【0048】図16は第1の実施例による演算部308の構成を示すブロック図である。同図において、演算部308は、ANDゲート1401、1403、1408、1406、1411、ORゲート1402、1404、1407、1409、1412、4701、4to1セレクト1405、1410より構成される。さらに、1413、1414、1405、1416、1417、1418は図示しないCPUにより設定されるレジスタを示している。又、A0(信号線1336)は色検出部306で求められた黒か、それ以外かを示す信号で、A1(信号線1335)は文字検出部307で求められた文字部か、それ以外かを示す信号である。さらに、B0(信号線1419)はメモリ部2・313より出力された黒か、それ以外かを示す信号で、B1(信号線1420)はメモリ部313より出力された文字部か、それ以外かを示す信号である。

【0049】この演算部308では、エリア信号AR1及びレジスタ1413、1414、1415、1416、1417、1418に基づいて、2種類の多値～画像の編集処理を行う際、それぞれ求められた像域信号



(A0, A1, B0, B1)を用いて新たな像域信号(C0, C1)を求める回路である。

【0050】以下、本実施例で実現できる多値カラー画像のカラー合成を例に説明を続ける。

【0051】第1の原稿が読み込まれた時、AR1は1ページ中“L”、レジスタ1413には“H”、レジスタ1414には“L”、レジスタ1415には“H”、レジスタには1416“L”、レジスタには1417“H”、レジスタには1418“L”、レジスタ1423には“H”がセットされる。その結果、2つのセレクト1405, 1410共、CつまりA0(信号線1336), A1(信号線1337)がセレクトされ、C0(信号線1421)からはA0(信号線1336)、C1(信号線1422)からはA1(信号線1337)が出力され、それぞれがメモリ部313で記憶される。次に、第2の原稿が読み込まれた時、DTOPを同期信号とした副走査イネーブル1505(b~e)の内の1つと読み出し、主走査イネーブル信号1506bに基づき、メモリ313より第1の原稿の像域分離信号が読み出され、そしてAR1に基づいて第1の原稿と第2の原稿の像域信号より、第3の像域分離信号が生成される。この時、レジスタ1413~1418は上記と同じ設定で第2の原稿が選択される時にAR1=“0”、第1の原稿が選択される時にAR1=“1”となる。この結果、第1の原稿の部分では、B0(信号線1419), B1(信号線1420)が、第2の原稿の部分ではA0(信号線1336), A1(信号線1337)がそれぞれC0(信号線1421), C1(信号線1422)よりセレクトされ、これらの信号はDTOPに基づいた信号副走査ライトイネーブル信号1505aと主走査ライトイネーブル信号1506aに基づき、再びメモリ部313に書き込まれる。

【0052】図17は第1の実施例によるメモリ部313の構成を示すブロック図であり、図18は第1の実施例による副走査方向イネーブルタイミング信号のリード／ライトサイクルを説明する図である。

【0053】図17において、メモリ部313は、像域メモリ1501、アドレスカウンタ1504及びRAS, CAS信号、WE信号を生成する1506、2ビットデータを8ビットにする水増し部1508より成る。

【0054】像域メモリ1501は読み取り原稿に応じたメモリ空間(4Mbit)を持っている。さらに、このメモリ部313はDRAMとして説明するが、それ以外の記憶手段でも構わない。又、アドレスカウンタ1504は4画素×4ラインを1単位としてメモリ空間の1アドレスとし、そこに2bitのデータを図17の

(ロ)のタイミングで格納し、それぞれ(ホ)~(チ)のタイミングでYMCKのそれぞれの4画素×4を8コのブロックに分け、それぞれのブロックでメモリへの像域データの書き込み、読み出しをあらかじめ定めてお

き、それぞれのタイミングで読み書きを行い、特に読み出しに対してはそれぞれのタイミングで読み出された信号を任意のタイミングでラッチし、1ビット信号を4ビット信号に膨らませる処理を水増し部1508で行っている。又、アドレスカウンタ1504の構成は、メモリ部310と全く同じ構成をしているので、ここでは省略する。又、2つのメモリ部310, 313に入る主走査、副走査イネーブル信号は、それぞれHSYNC, DTOP又はITOPを基準につくられており、それぞれの処理(圧伸処理、像域判定検出、演算部308, 312による演算)でかかる時間差が考慮されて作られている。

【0055】像域分離処理回路317は、前述の色検出部306、文字検出部307、演算部308で生成された判定信号に基づいて黒文字、色文字、中間調画像(網点を含む)についてそれぞれ以下の処理を施す。

【処理1】処理1は、黒文字に関する処理である。

【0056】[1-1]ビデオとしてスミ抽出で求められた信号331, 333, 335, 337を用いる。

【0057】[1-2]Y(334), M(330), C(332)データは設定値に従って減算を行う。一方、Bk(336)データは設定値に従って加算を行う。

【0058】[1-3]エッジ強調を行う。

【0059】[1-4]なお、黒文字は400線(400dpi)にてプリントアウトする。

【0060】[1-5]色残り除去処理を行う。

【処理2】処理2は、色文字に関する処理である。

【0061】[2-1]エッジ強調を行う。

【0062】[2-2]なお、色文字は400線(400dpi)にてプリントアウトする。

【処理4】中間調画像に関する処理

[4-1]スムージング(主走査方向に2画素ずつ)またはスルーの選択を可能とする。

【0063】次に、上記処理を行う回路について説明する。

【0064】図19及び図20は第1の実施例による像域分離処理回路の構成を示すブロック図である。図19及び図20では、M成分のみの回路図を示しているが、他3色(C, Y, K)に関しても同様なのでここでは省略する。

【0065】図19及び図20の回路は、ビデオ入力信号219またはMBK219を選択するセレクト6e、そのセレクトを制御する信号を生成するANDゲート6e'、後述する色残り除去処理を行うブロック16e、同処理のイネーブル信号を生成するANDゲート16e'、セレクト6eの出力13eとI/Oポートの設定値14e乗算を行う乗算器15e, XORゲート20e, ANDゲート22e, 加減算器24e, 1ラインデータを遅延させるラインメモリ26e, 28e, エッジ



強調ブロック30e、スムージングブロック31e、スルーデータまたはスムージングデータを選択するセレクタ33e、同セレクタの制御信号の同期あわせのためのディレイ回路32e、エッジ強調の結果またはスムージングの結果を選択するセレクタ42e、同セレクタの制御信号の同期あわせのためのディレイ回路36eおよびORゲート39e、ANDゲート41e、文字判定部に対して400線(dpi)信号("L"出力)を出力するためのインバータ回路44e、AND回路46e、OR回路48eおよびビデオ出力225と224の同期あわせのためのディレイ回路43eより構成される。また、像域分離処理はI/Oポート1eを介して図示しないCPUバスと接続されている。

【0066】以下、黒文字部のエッジの周辺に残る色信号を除去する色残り除去処理と黒文字部判定部のY、M、Cデータに対してある割合で減算し、Bkデータに対してはある割合で加算を行う第1の部分、文字部に対してエッジ強調、網判定部にスムージング、その他の階調画像はスルーデータを選択する第2の部分、文字部に対しては338-aを"L"にする(400dpiでプリントする)第3の部分の3つに分けそれぞれについて説明する。

【0067】まず、第1の部分である色残り除去処理および加減算処理について説明する。ここでは、無彩色であるという信号GRBi1510-1と文字部であるという信号MjAR1510b-1の両方がアクティブである所、つまり黒文字のエッジ部とその周辺部に対する処理であって、黒文字のエッジ部からはみ出しているY、M、C成分の除去と、エッジ部のスミ入れを行っている。

【0068】次に具体的な動作説明を行う。

【0069】図21は第1の実施例による黒文字の処理を説明する図である。

【0070】上記第1の部分の処理では、文字部判定を受け(MjAR1510b-1="1")、黒文字である(GRBi1510a-1="1")場合に行われる。したがって、セレクタ6eではビデオ入力219が選択(I/O-6(5e)に"0"セット)される。従って、15e、20e、22e、17eではビデオ8eより減算するデータが生成される(C、Yデータについても同様)。

【0071】さらに、セレクタ出力データ13eとI/O-14eにセットされた値との乗算が乗算器15eで行われる。ここで13eに対し0~1倍のデータ18eが生成される。レジスタ9e、25eに1を立てることにより、18eの2の補数データが17e、20e、22eにて生成される。最後に加減算器24eにて8eと23eの加算23eは2つの補数なので実際は17e-8eの減算が行われ、25eより出力される。

【0072】記録色Bkデータ(336)の場合は、セ

レクタ6eにてBkMj337が選択(I/O-6・5eに"1"セット)される。15e、20e、22e、17eではビデオ17eに加算するデータが生成される。上記M時と異なる点はI/O-4、9eに"0"をセットすることでこれにより23e=8e、Ci=0となり、17e+8eが25eより出力される。係数14eの生成の仕方はY、M、C時と同様である。

【0073】この処理を図に示したのが図21である黒文字Nの斜線部を拡大したものが(a)、(c)である。Y、M、Cデータに対しては文字信号部が"1"である所はビデオからの減算が(同図(b))、Bkデータに対しては文字信号部が"1"である所はビデオに対して加算が(同図(d))行われる。この図では13e=18eつまり、文字部のY、M、Cデータは0、Bkデータはビデオの2倍の場合の例である。

【0074】この処理により、黒文字の輪郭部はほぼ黒単色で打たれるが、輪郭信号の外にあるY、M、Cデータ、図21の(b)に示した\*印は色残りとして文字の回りに残ってしまい見苦しい。

【0075】その色残りをとるものが色残り除去処理である。この処理は文字部の領域を上げた範囲にはいており、かつ、ビデオデータ13eがCPUがセットするコンパレート値より小さい所、つまり文字部の外側で色残りがある可能性を持っている画素について前後3画素または5画素の再承知をとるようにする処理である。次に、回路を用いて説明を補足する。

【0076】図22は第1の実施例による文字領域拡大回路の構成を示すブロック図である。文字部領域を上げるようにする働きをする文字領域拡大回路は、DF/F65e~68eおよびANDゲート69e、71e、73e、75e、ORゲート77eより構成される。

【0077】I/Oポート70e、72e、74e、76eに全て"1"を立てた時はMjAR412が"1"であるものに対し、主走査方向に前後2画素上げた信号がI/Oポート70e、75e"0"、71e、73e"1"の時は主走査方向に前後1画素上げた信号がSig2・18eから出力される。

【0078】次に、色残り除去処理回路16eについて説明する。

【0079】図23は第1の実施例による色残り除去処理の回路図であり、図26は第1の実施例による文字判定処理を説明する図である。

【0080】図23において、57eは入力信号13eに対し、注目画素とその前後1画素の計3画素の最小値を選択する3画素minセレクト回路、58eは入力信号13eに対し、注目画素とその前後2画素の計5画素の最大値を選択する。5画素minセレクト回路、55eは入力信号13eとI/O-18(54e)の大小を比較するコンパレータで54eの方が大きい場合に、1を出力する。61e、62eはセレクタ、53e、53

10

20

30

40

50

e' はORゲート、63eはNANDゲートである。

【0081】上記構成において、セクタ60eはCPU・BUSからのI/O-19の値に基づいて、3画素minか、5画素minかを選択する。5画素minの方が色残り除去の効果が大きくなる。これはオペレータのマニュアル設定またはCPUの自動設定によりセレクトできる。

【0082】セクタ62eは、NANDゲート63eの出力が“0”の時、すなわちコンパレータ55eによりビデオデータ13eがレジスタ値54eより小さいとされ、かつ文字部の信号を上げた範囲にはいつており17e' が1の場合にはA側、そうでない場合にはB側が選択される。但し、このときレジスタ52e、64eは“1”、レジスタ52e' は“0”である。

【0083】B側が選択されたときは、スルーデータが8eとして出力される。

【0084】EXCON50eは、例えば輝度信号を2値化した信号が入力した時に、コンパレータ55eの代わりで用いることができる。

【0085】上記2つの処理を施したところを図26に示す。図26(a)は黒文字Nで、図26(b)は斜線部の濃度データであるY、M、Cデータにおいて文字と判定された領域、すなわち文字判定部(\*2、\*3、\*6、\*7)は減算処理により0に、\*1、\*4は色残り除去処理により\*0から\*1、\*5から\*4となり、その結果0になり、図26(c)が求められる。

【0086】なお、色文字については、図26(f)に示すように変更は加えられない。』次に、第2の部分であるエッジ強調orスムージング処理について説明する。ここでは、文字判定部に対してはエッジ強調、網点に対してはスムージング、その他はスルーを出力する処理が行われる。

【0087】図24は第1の実施例によるエッジ強調のためのマトリックスを説明する図であり、図25は第1の実施例によるスムージング処理を説明する図である。

【0088】文字部でMjAR412が“1”であるので、25e、27e、29eの3ラインの信号より生成される3×3のエッジ強調30eの出力がセクタ42eにてセレクトされ、43eより出力される。なお、ここでエッジ強調は図24に示すようなマトリックスと計算式から求められるものである。

【0089】網点部でSCRN35eが“1”、MjAR21eが“0”であるので27eに対してスムージング31eがかけられたものが、セクタ33e、42eにて出力される。なお、ここでスムージングは図25に示すごとく、注目画素がV<sub>n</sub>の時  $(V_n + V_{n+1}) / 2$  をV<sub>n</sub>のデータとする処理、つまり主走査2画素のスムージングである。これにより網点部に生じる可能性のあるモアレを防いでいる。

【0090】その他の部分、即ち、文字部(文字輪郭)

でも網点部でもないところでは、具体的には中間調の部分に対する処理が行われる。この時、MjAR1510b-1およびSCRN35eともに“0”なので、27eのデータがそのままビデオ出力43eより出力される。

【0091】文字が色文字の時は、文字判定部であっても、上記2つの処理は施されない。第1の実施例では主走査方向のみに色残り除去を施した例を示したが、主走査、副走査ともに色残り除去処理を施してもよい。

【0092】次に、第3の部分である文字部400線(dpi)出力処理について説明する。

【0093】ビデオ出力339に同期して48eから338aが出力される。具体的にはMjAR1510b-1の反転信号が43eに同期して出力される。文字部の時は224=0、その他の部分は200/400=“1”となる。

【0094】これにより、文字部判定部、具体的には文字の輪郭部は400線(dpi)にて、その他は200線にてプリンタにて打たれる。

【0095】以上の様に、4色データにそれぞれ上述の処理を施し、その後γ補正回路318、エッジ強調319を、又4色分の200/400線、切換信号338をディレイ回路320にて信号線321~324の信号とそれぞれ同期させ、LBPプリンタ102に送る。

【0096】こうして、複数のカラー画像の編集処理時も最適な黒文字処理を施して出力することができる。

【0097】以上説明したように、第1の実施例によれば、カラー多値画像同士の編集処理を施す際、それぞれの像域分離信号に対する複数の演算手段を有し、さらにその内の1つをセレクトする手段を設けることにより、カラー多値画像同士の編集処理と黒文字処理の両立を可能にする効果がある。

<第2の実施例>次に、第2の実施例について説明する。

【0098】第2の実施例では、多値カラー画像同士のテクスチャー処理を例にとりて説明する。

【0099】図28及び図29は第2の実施例によるカラーリーダー部におけるデジタル画像処理部の構成を示すブロック図であり、図30は第2の実施例による多値カラー画像同士のテクスチャー処理を説明する図である。

【0100】テクスチャー処理とは、図30に示す様に、メモリに書き込まれたパターン図26(b)に対して変調をかけ、図30(c)の様な出力を得る処理である。

【0101】このテクスチャー処理を実現する為のブロック図が図28及び図29である。この図28及び図29の構成と図3及び図4の構成との差異は、文字検出部の出力1335が演算部312にも入力されるところにあり、その他では同じ構成をとり、かつ同じ制御を行っ

ているので、説明を省略する。

【0102】また、以下の説明で、第1の実施例と同様の構成及び機能を有するものについては、同一番号を付して、説明を省略する。

【0103】図27は第2の実施例における演算部を説明する図である。図27の演算部は、図3及び図4の演算部312に対応する。逆LOG変換を施し、CMY信号をRGB信号に変換するROM1204~1206、ANDゲート2401、ORゲート2402、3つのセレクト2403~2406、乗算器2406~2408より構成される。

【0104】この演算部では、エリア信号AR0及び文字部A1に基づき、多値カラー画像同士のテクスチャー処理を施す回路で第1の原稿、ここでは図30(b)の様なパターンが読み込まれた時、AR1は1ページの間オール“H”なる。さらに、図示しないCPUでレジスタ2409に80Mがセットされる。その結果、D0~D2が乗算器2406~2408より出力される。この乗算器はD0に対し0倍~1.99倍の出力が可能な構成をとっている。従ってAに80Hがセットされると1倍になる。そして、これらの信号がエンコーダ309に入り、メモリ部1602で記憶される。

【0105】次に、第2の原稿(図30(a)の様な原稿)が読み込まれた時、DTOPを同期信号にしたマゼンタ(MAGENTA)のReadイネーブル605b及び主走査イネーブル信号606bによりメモリ部602から圧縮データが読み出される。さらに、伸張処理がデコーダ部311で施され、さらにROM1204~1206で逆LOG変換がかけられる。そして、この時、レジスタ2410に“1”をセットし、レジスタ2409に“80H”をセットすれば、AR0に基づき、AR0=“H”又はA1=“H”の時はD0がそのまま出力され、AR0=“L”かつA1=“L”の所はテクスチャー処理がかけられる。これは、具体的には指定された領域で、かつ第2の原稿の文字部以外のエリアにテクスチャー処理をかけていることを意味している。

【0106】さらに、この時の演算部308の動きを図16を用いて行う。第1の原稿が読み込まれた時、AR1は1ページ間、オール“L”、レジスタ1413“H”、レジスタ1414“L”、レジスタ1415“L”、レジスタ1416“L”、レジスタ1417“L”、レジスタ1412“L”、レジスタ1423“H”がセットされる。この結果、C0(信号線1421)、C1(信号線1422)とも“L”が出力され、それぞれがメモリ313で記憶される。次に、第2の原稿が読み込まれた時、DTOPを同期信号とした副走査イネーブル1505(b~e)の内1つと読み出し、主走査イネーブル信号1506bに基づきメモリ313より第1の原稿の像域分離信号が読み出され、AR1に基づいて第1の原稿と第2の原稿の像域信号より第3の像

域信号が生成される。この時、レジスタ1413には“H”、レジスタ1414には“L”、レジスタ1415には“H”、レジスタ1416には“L”、レジスタ1417には“H”、レジスタ1418には“L”、レジスタ1423には“L”、AR1=a11“H”がセットされる。これにより、テクスチャー処理がかけられない部分、具体的には領域以外及び領域内であつ、第2の原稿の文字部に黒文字処理が施されることになる。  
 <第3の実施例>第3の実施例では、透かし合成を用いて説明する。

【0107】図31は第3の実施例による透かし合成を説明する図である。

【0108】透かし合成とは、図31に示す様に、画像(1)と画像(2)から画像(3)の様な出力を得るものである。

【0109】この透かし合成を実現する全体ブロック図は図3及び図4と同様であり、第1の実施例と異なるところは演算部312の回路構成及び演算部312、308の制御方法である。以下にそれらの説明を行う。

【0110】図32は第3の実施例における演算部の構成を示すブロック図である。図32の演算部は、図3及び図4の演算部312に対応する。第3の実施例による演算部は、逆LOG変換を施し、CMY信号をRGB信号に変換するROM1204~1206、ANDゲート2807~2809、乗算器2801~2806、加算器2810~2812より構成される。又、乗算器2801~2806はAに対し、0~1.99倍までを行なえる乗算器で、B1に“80H”がセットされた時、AがスルーでAnから出力する様になっている。

【0111】この演算部では、エリア信号AR0に基づき、多値カラー画像同士のテクスチャー処理を施す回路図で、第1の原稿が読み込まれた時、AR0は1ページ間a11“L”、レジスタ2814、2816、2818には“80H”がセットされる。この結果、F0~F2、1213~1215からはそれぞれD0~D2、1207~1207が出力し、さらにこれらの信号はエンコーダ309に圧縮され、メモリ部602で記憶される。

【0112】次に、第2の原稿が読み込まれる時、DTOPを同期信号にしたマゼンタ(Magenta)のReadイネーブル605b及び主走査イネーブル信号606bにより、メモリ部310から圧縮データが読み出される。さらに伸張処理がデコーダ部311で施され、さらにROM1204~1206で逆LOG変換がかけられる。その時、レジスタ2813、2815、2815には $X/X+Y$ をレジスタ2814、2816、2818としては $Y/X+Y$ を、AR0=“H”をセットすることにより、第1の原稿と第2の原稿の透かし合成が施される。

【0113】さらに、この時の演算部308の動きを図

16を用いて行う。第1の原稿が読み込まれた時、AR1は1ページ間オール“L”、レジスタ1413には“H”、レジスタ1414には“L”、レジスタ1415には“H”、レジスタ1416には“L”、レジスタ1417には“H”、レジスタ1418には“L”、レジスタ1423には“H”がセットされる。この結果、C0(信号線1421)、C1(信号線1422)からはA0(信号線1336)、A1(信号線1337)が出力され、それぞれがメモリ部313で記憶される。次に、第2の原稿が読み込まれた時、DTOPを同期信号とした副走査イネーブル1505(b~e)の内1つと読み出し、主走査イネーブル信号1506bに基づきメモリ部313より第1の原稿の像域分離信号が読み出され、AR1に基づいて第1の原稿と第2の原稿の像域信号より第3の像域信号が生成される。この時、レジスタ1413には“H”、レジスタ1414には“L”、レジスタ1415には“H”、レジスタ1416には“L”、レジスタ1417には“H”、レジスタ1418には“L”、レジスタ1423には“L”、AR1=a11“H”がセットされる。これにより、全エリアにて透かし合成をかけた時、どちらかの画像が文字であれば像域処理が施されることになる。又、あるエリアのみに透かし合成をかける時は、ANDゲート1403、1408が削除し、セレクトにそれぞれA0、A1を入力すればよい。

【0114】尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。また、本発明はシステム或は装置にプログラムを供給することによって達成される場合にも適用できることは言うまでもない。

【0115】

【発明の効果】以上説明したように、本発明によれば、カラー多値画像同士の編集処理と黒文字処理の両立を可能にする効果がある。

【図面の簡単な説明】

【図1】従来例を説明する図である。

【図2】本発明の第1の実施例によるデジタルカラー複写機の内部構成を示す側断面図である。

【図3】第1の実施例によるカラーリーダ部101におけるデジタル画像処理部の構成を示すブロック図である。

【図4】第1の実施例によるカラーリーダ部101におけるデジタル画像処理部の構成を示すブロック図である。

【図5】第1の実施例による圧縮・伸張を説明する図である。

【図6】第1の実施例によるメモリ部310の構成を示すブロック図である。

【図7】第1の実施例による副走査方向イネーブルタイミング信号のタイミングチャートである。

【図8】第1の実施例による画像メモリのリード・ライトを説明する図である。

【図9】第1の実施例による画像メモリの構成を示すブロック図である。

【図10】第1の実施例による画像メモリの構成を示すブロック図である。

【図11】第1の実施例による画像メモリの構成を示すブロック図である。

【図12】第1の実施例による画像イメージを説明する図である。

【図13】第1の実施例による演算部312の構成を示すブロック図である。

【図14】第1の実施例による文字画像検出部306~307の構成を示すブロック図である。

【図15】第1の実施例による文字画像検出部306~307の構成を示すブロック図である。

【図16】第1の実施例による演算部308の構成を示すブロック図である。

【図17】第1の実施例によるメモリ部313の構成を示すブロック図である。

【図18】第1の実施例による副走査方向イネーブルタイミング信号のリード/ライトサイクルを説明する図である。

【図19】第1の実施例による像域分離処理回路の構成を示すブロック図である。

【図20】第1の実施例による像域分離処理回路の構成を示すブロック図である。

【図21】第1の実施例による黒文字の処理を説明する図である。

【図22】第1の実施例による文字領域拡大回路の構成を示すブロック図である。

【図23】第1の実施例による色残り除去処理の回路図である。

【図24】第1の実施例によるエッジ強調のためのマトリックスを説明する図である。

【図25】第1の実施例によるスムージング処理を説明する図である。

【図26】第1の実施例による文字判定処理を説明する図である。

【図27】第2の実施例における演算部を説明する図である。

【図28】第2の実施例によるカラーリーダ部におけるデジタル画像処理部の構成を示すブロック図である。

【図29】第2の実施例によるカラーリーダ部におけるデジタル画像処理部の構成を示すブロック図である。

【図30】第2の実施例による多値カラー画像同士のテクスチャー処理を説明する図である。

【図31】第3の実施例による透かし合成を説明する図である。

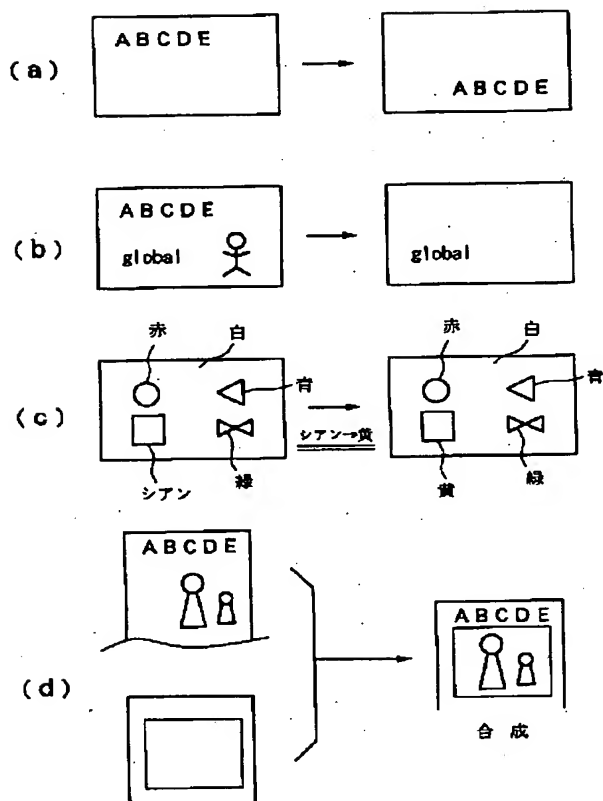
【図32】第3の実施例における演算部の構成を示すブ

ロック図である。

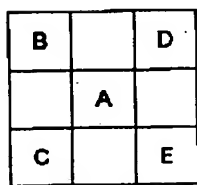
【符号の説明】

- 301 CCD
- 302 A/D・S/H回路
- 303 シェーディング補正回路
- 304 入力マスク回路
- 305 変倍回路
- 306 色検出部
- 307 文字検出部
- 308, 312 演算部
- 309 エンコーダ
- 310, 313 メモリ部
- 311 デコーダ部

【図1】



【図24】

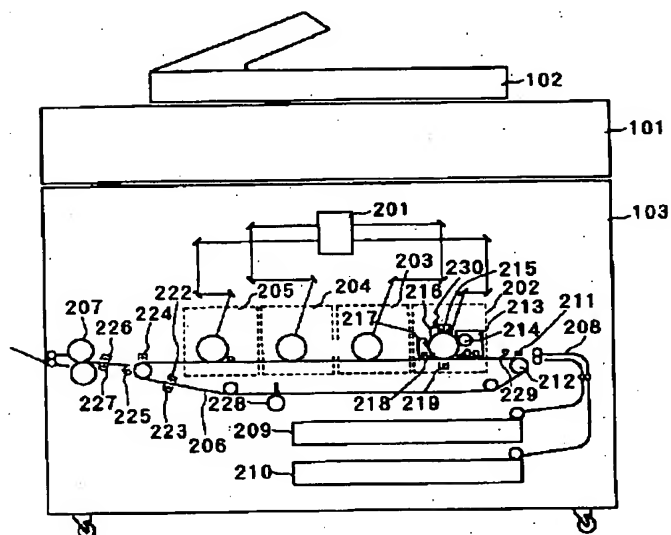


$$\alpha \rightarrow \frac{1}{8} \text{ Step } 0 \sim 1$$

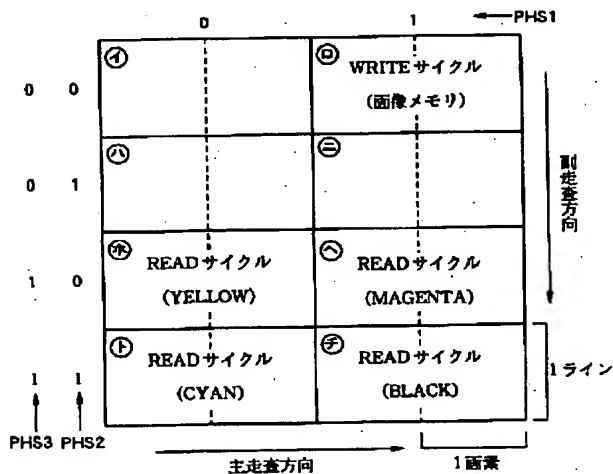
$$A + \alpha(4A - (B + C + D + E))$$

- \* 314 セレクタ
- 315 レジスタ
- 316 マスキング・UCR回路
- 317 像域分離処理回路
- 318  $\gamma$ 補正回路
- 319 エッジ強調回路
- 320 デイレイ回路
- 329 領域生成部
- 321~327, 330~338, 339~342, 6
- 10 05 信号線
- 606, 1207~1209, 1419, 1420 信号線
- \* 1510a, 1510b, 1505, 1506 信号線

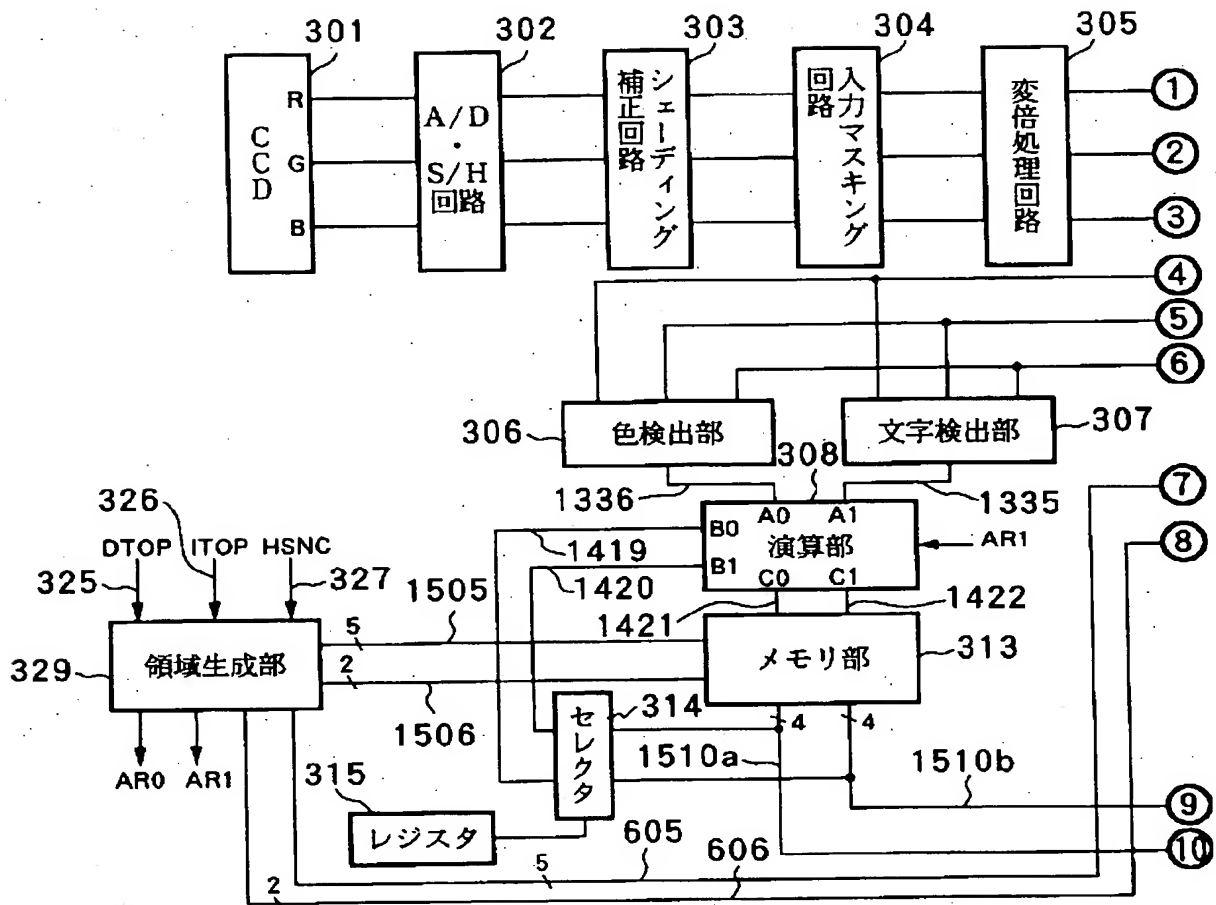
【図2】



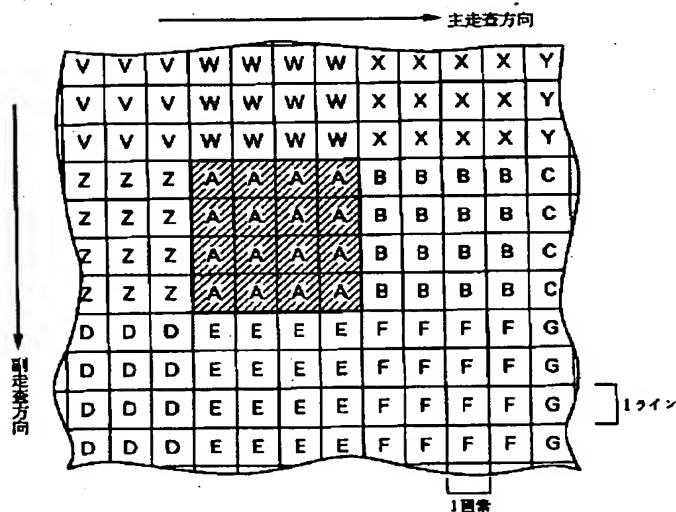
【図8】



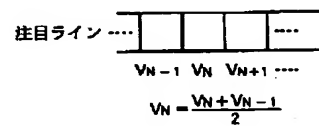
【図3】



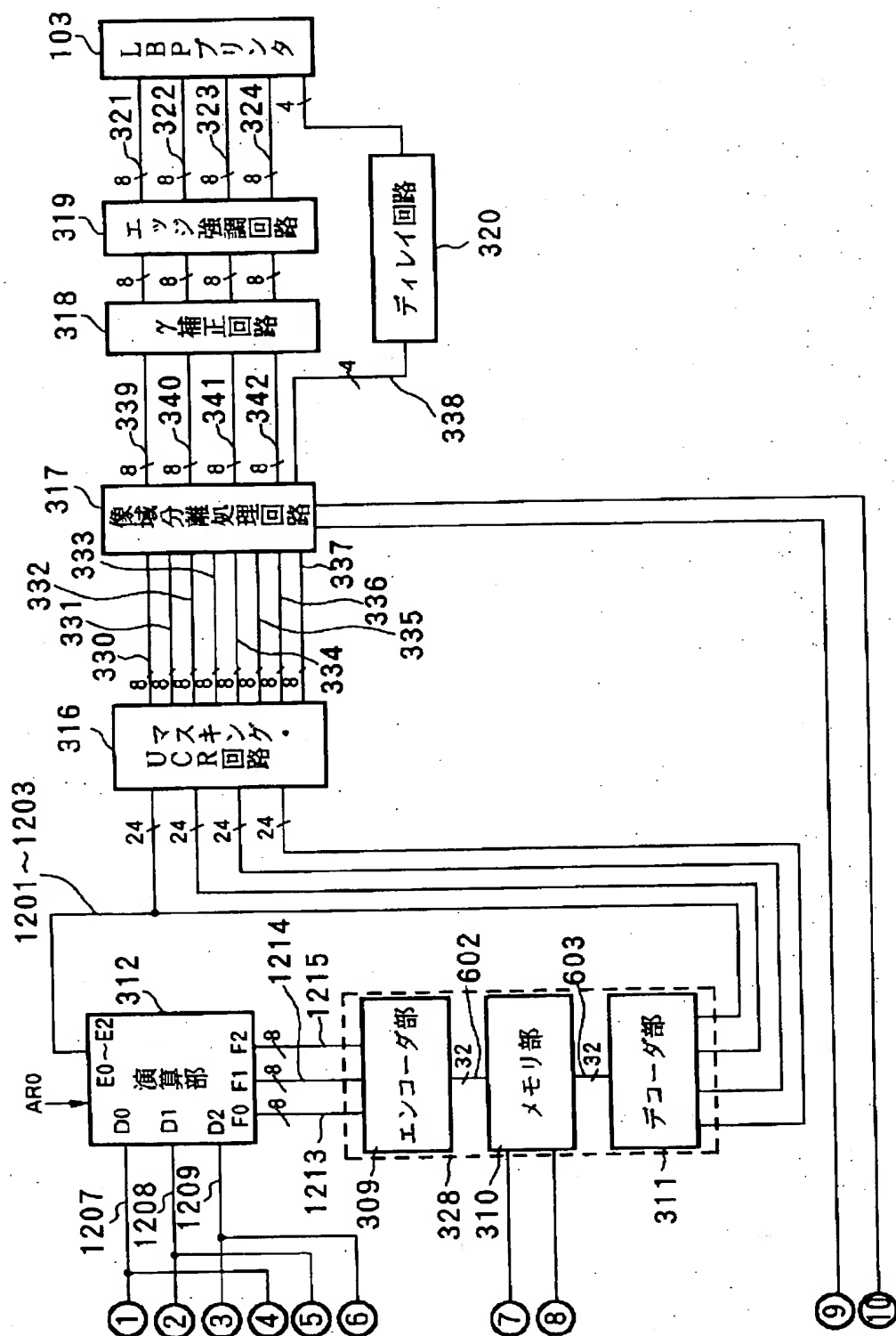
【図5】



【図25】

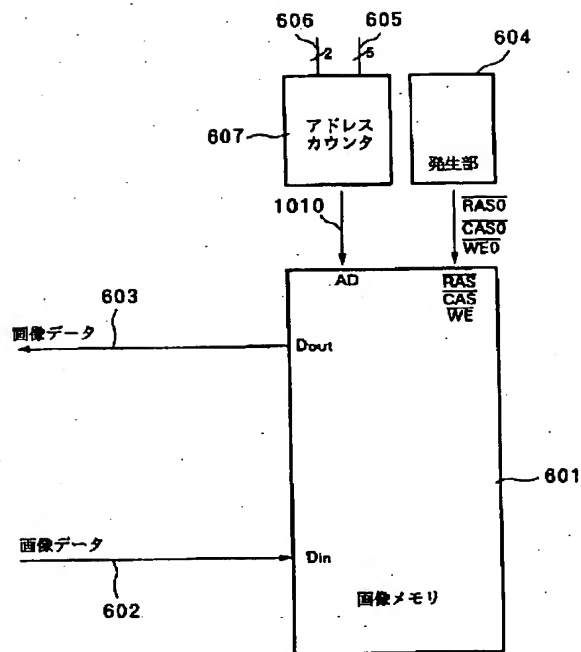


【図4】

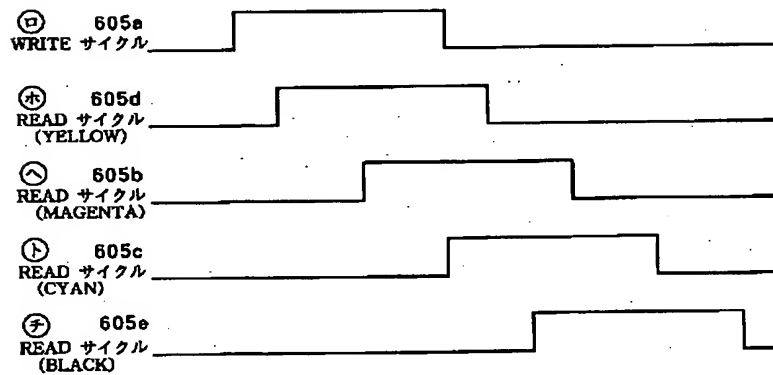




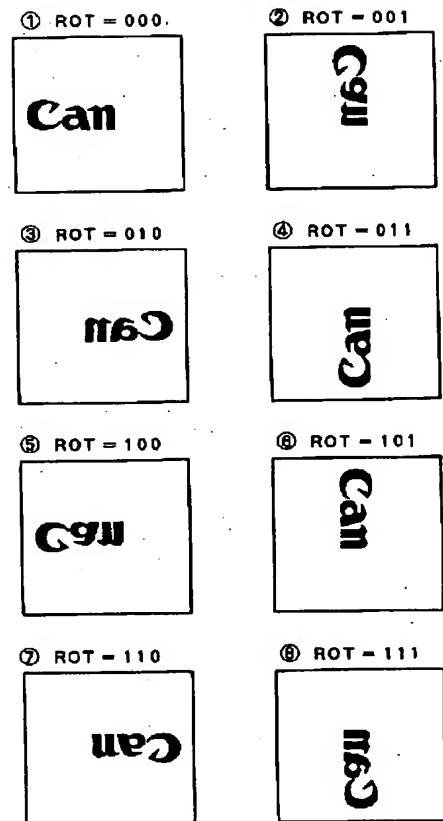
【図6】



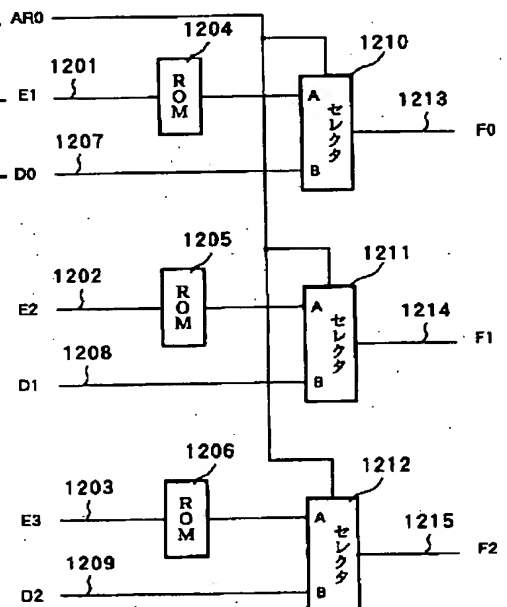
【図7】



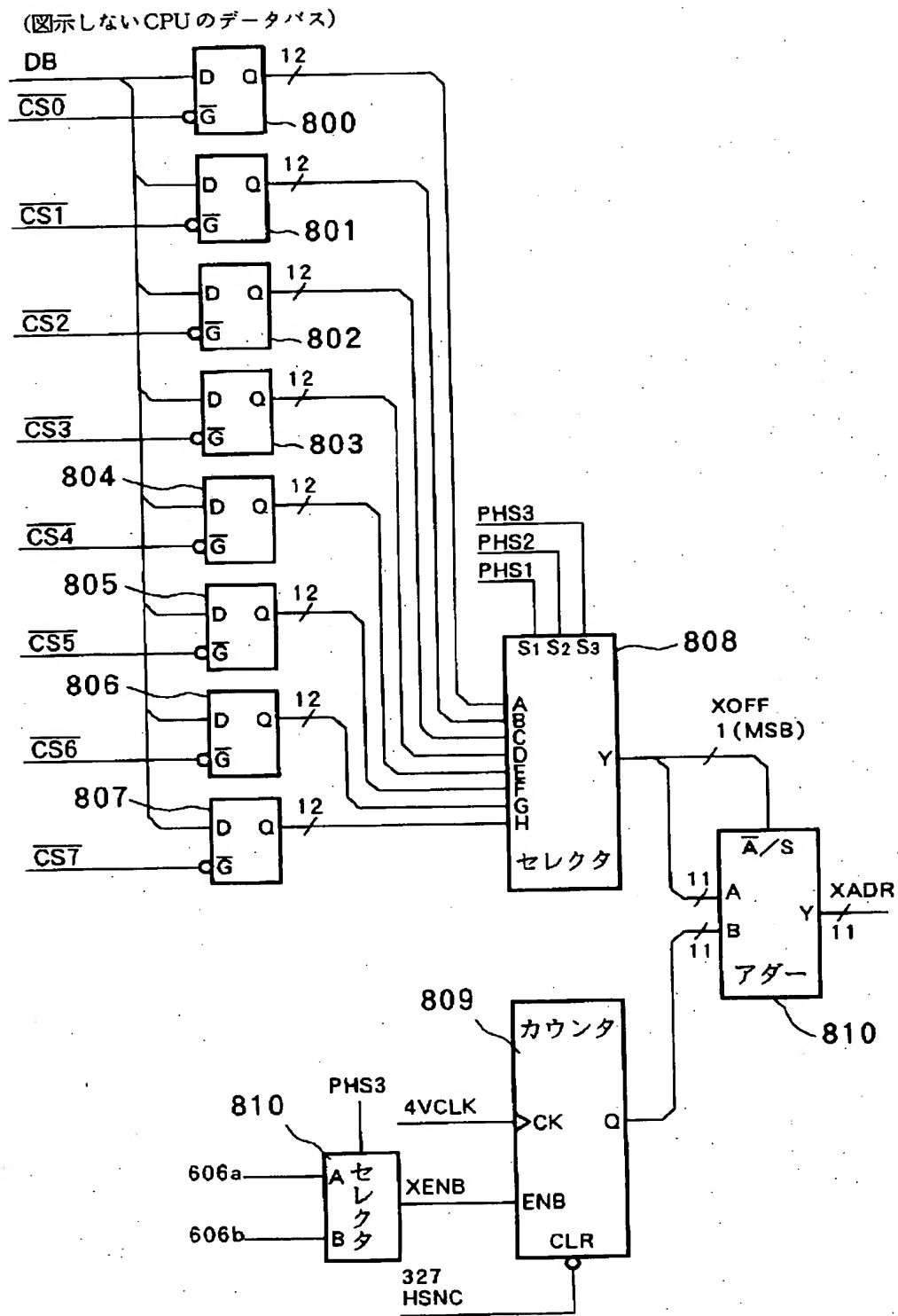
【図12】



【図13】

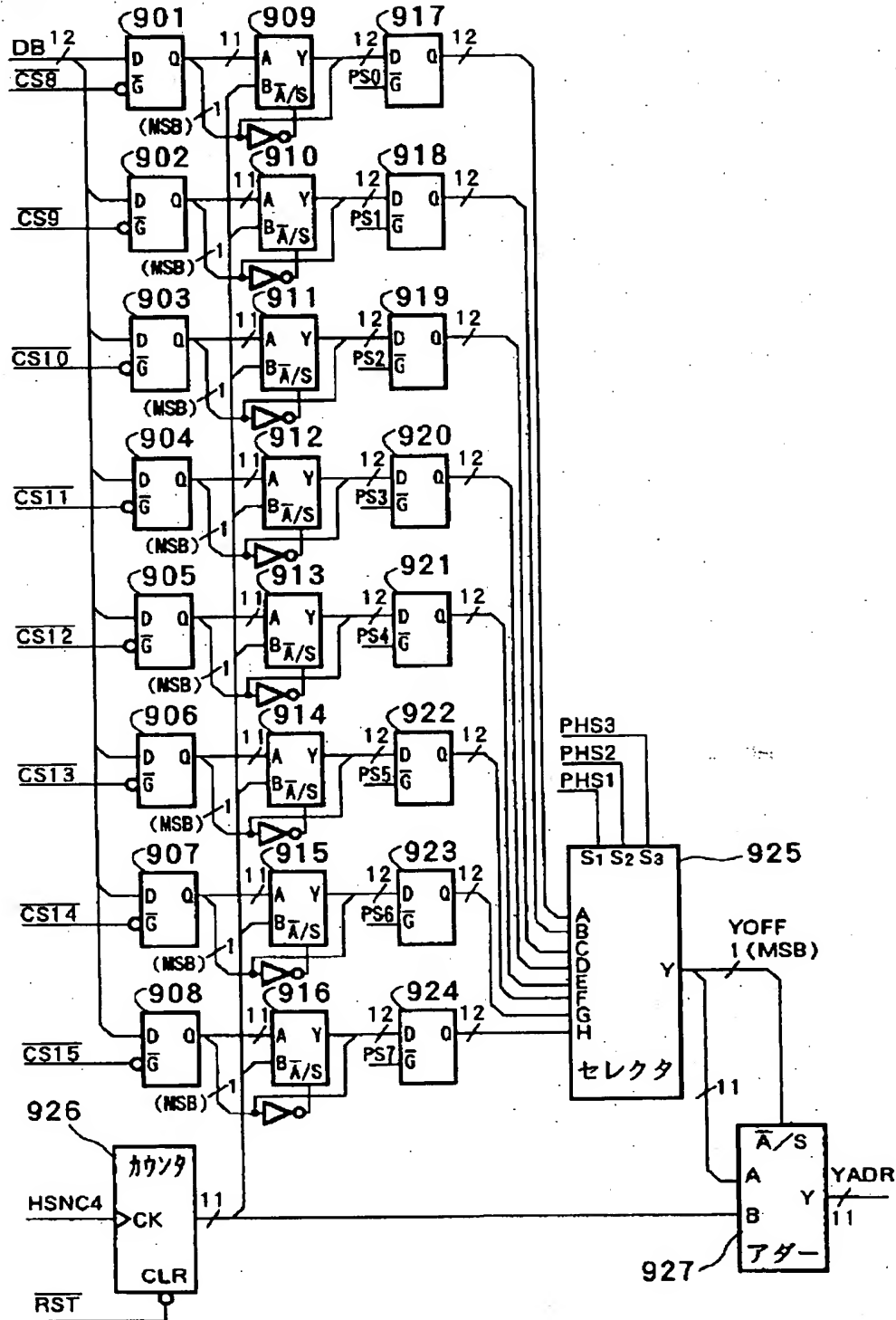


【図9】

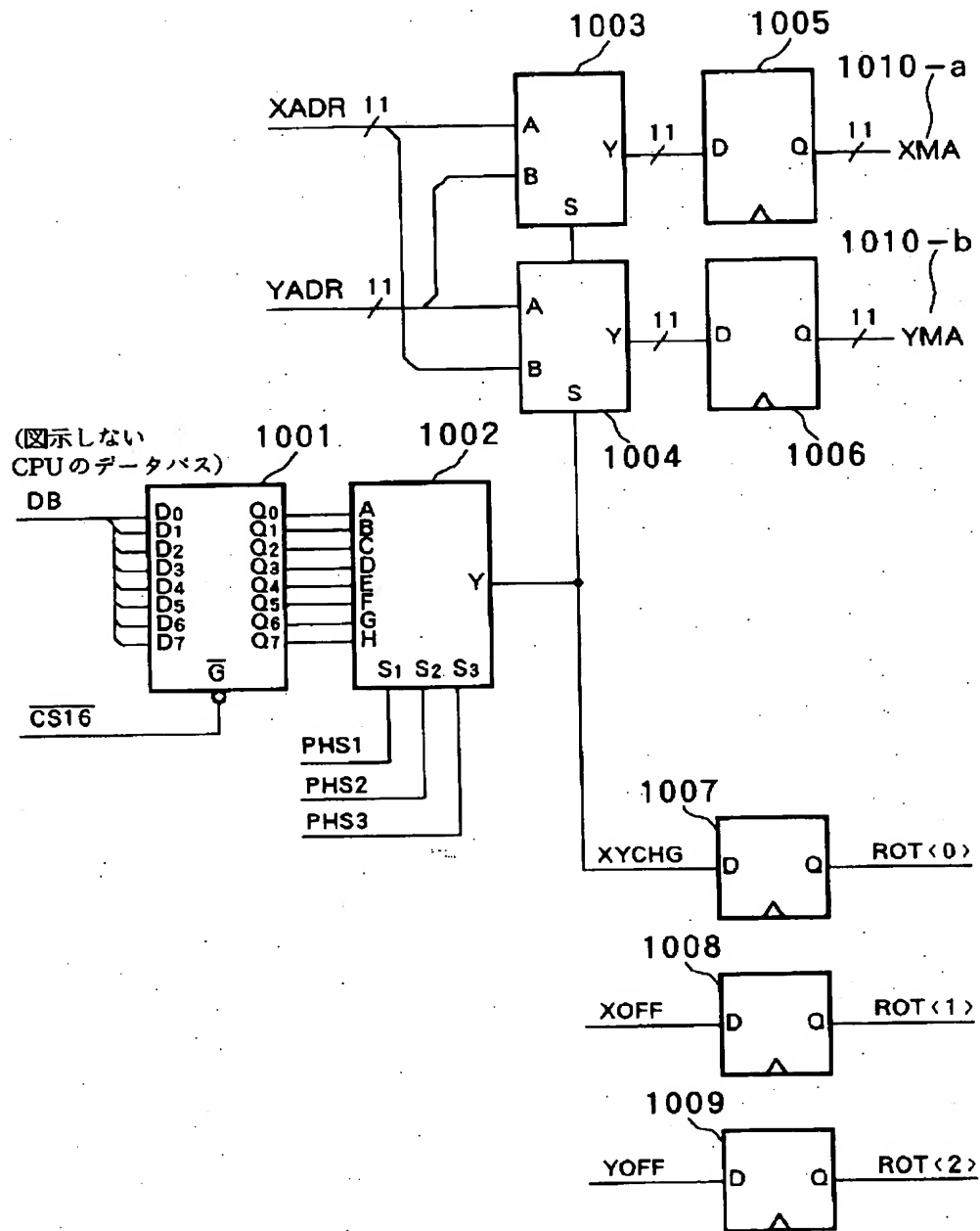


【図10】

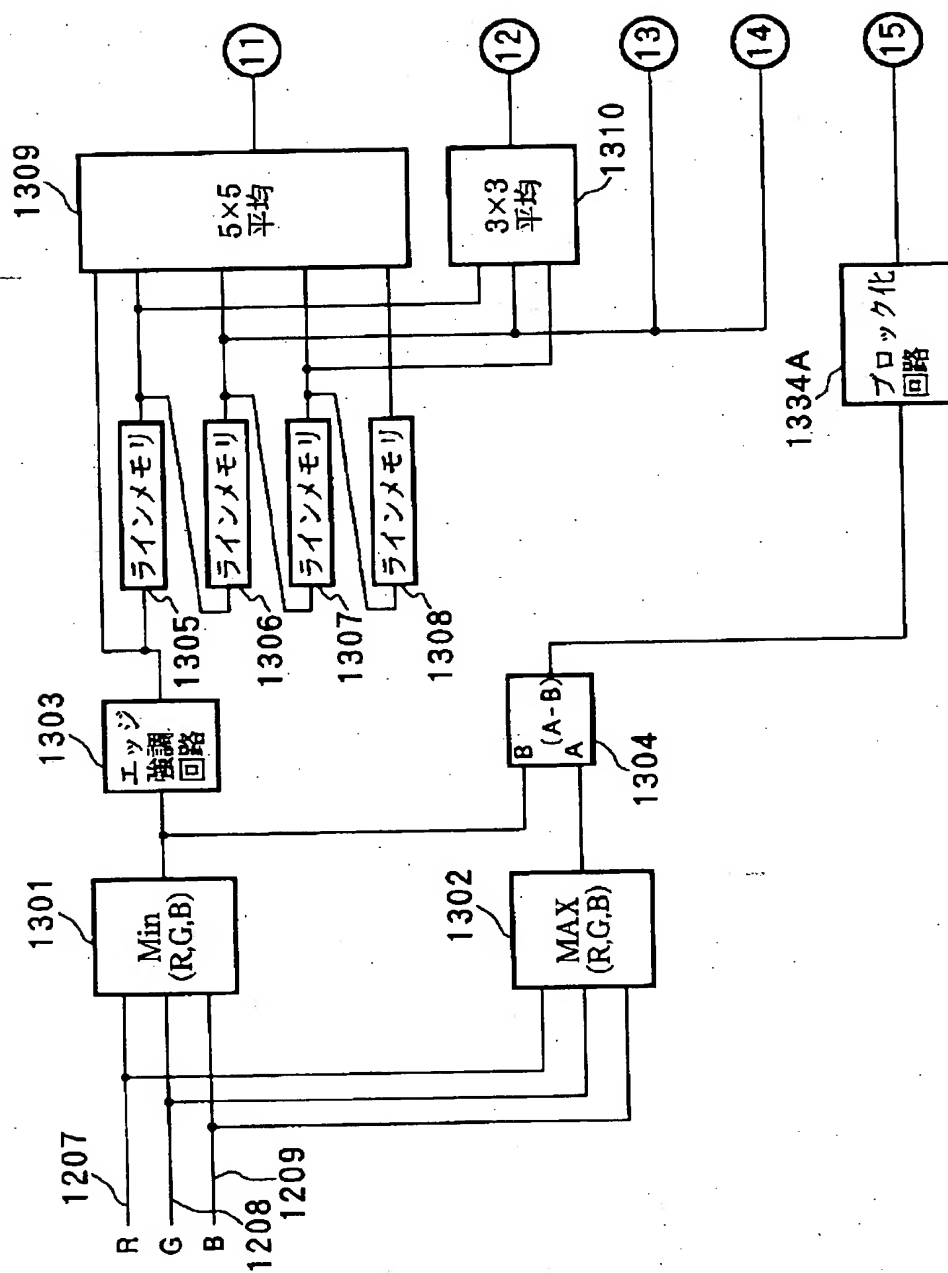
(図示しないCPUのデータバス)



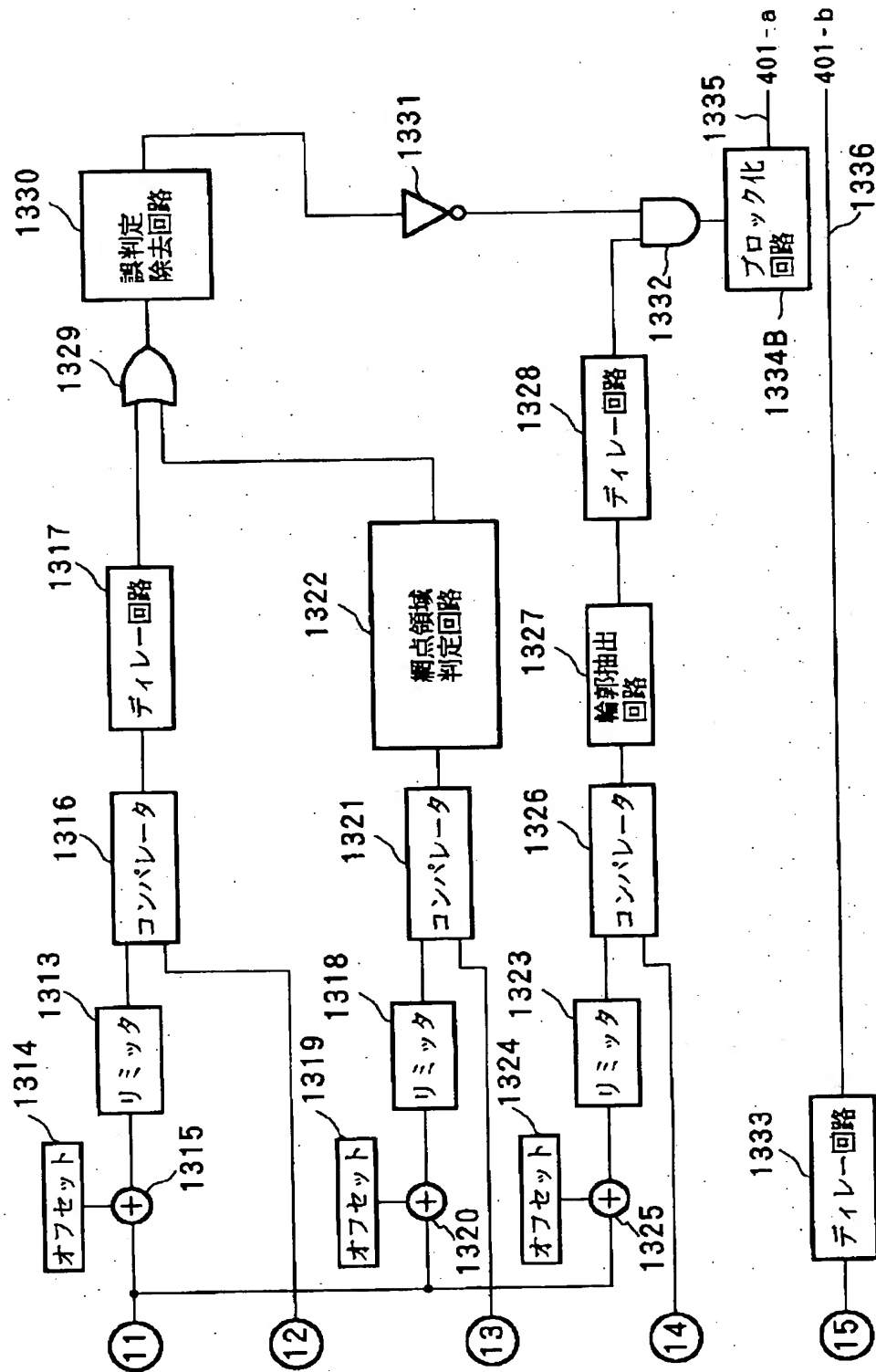
【図11】



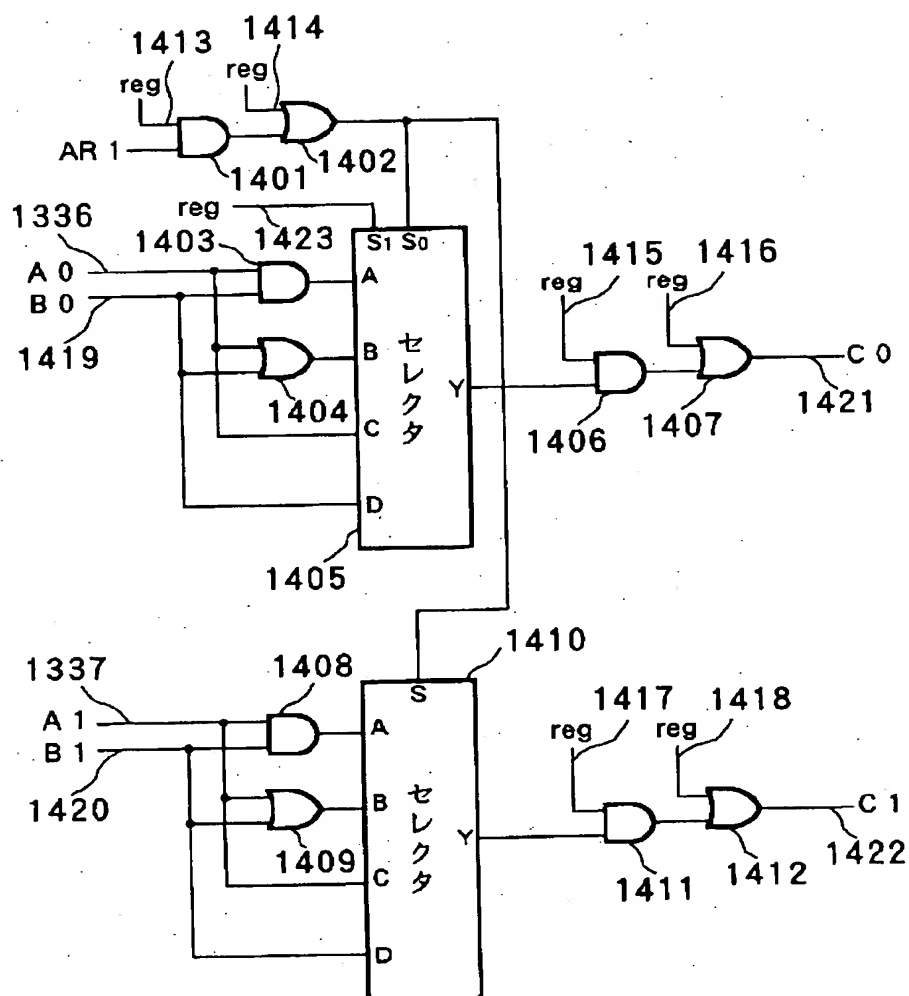
【図14】



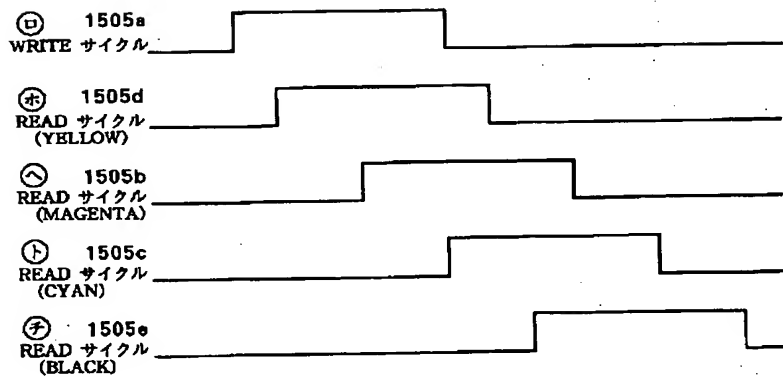
【図15】



【図16】

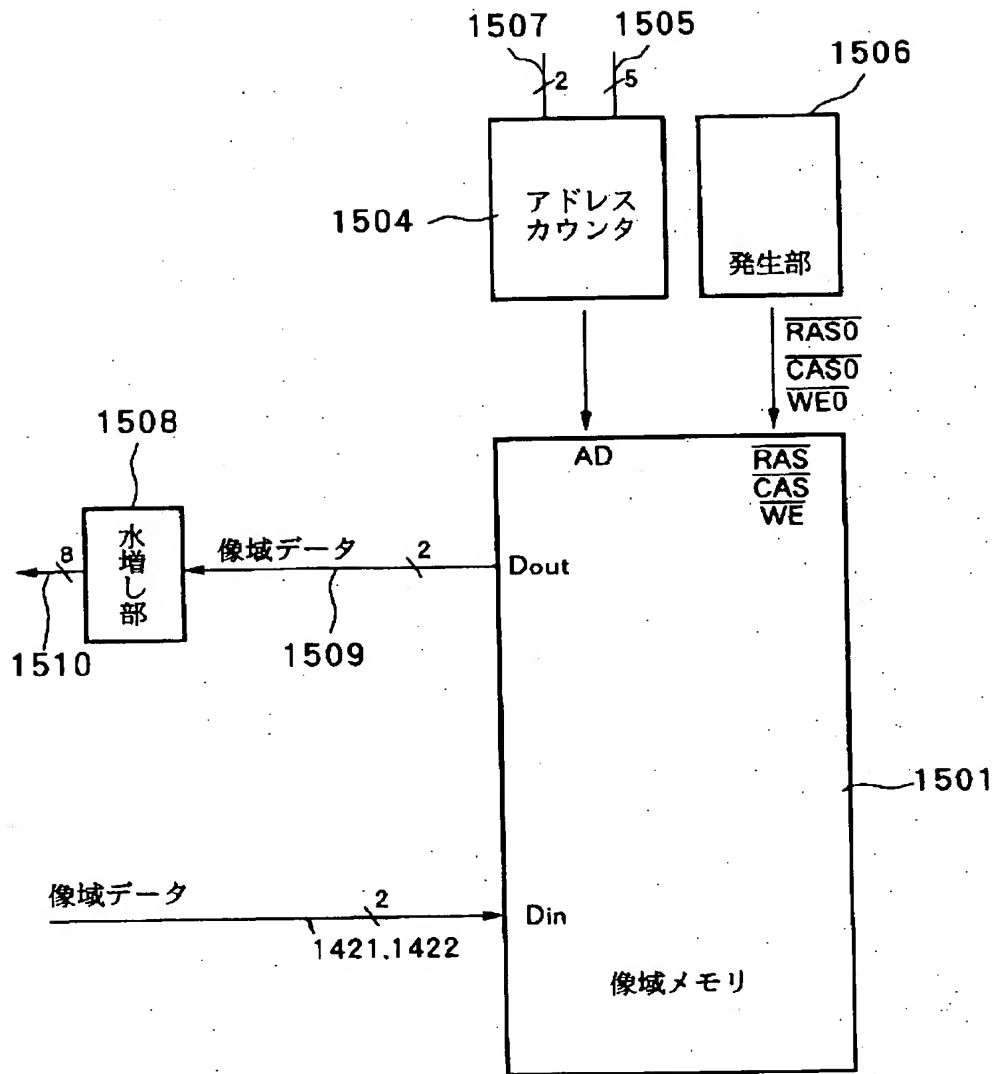


【図18】

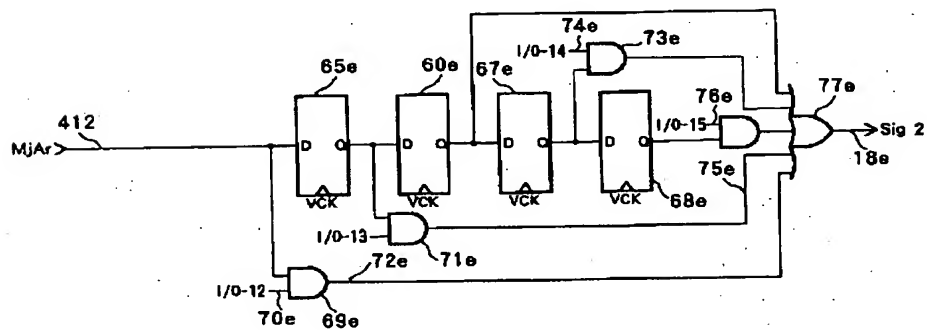




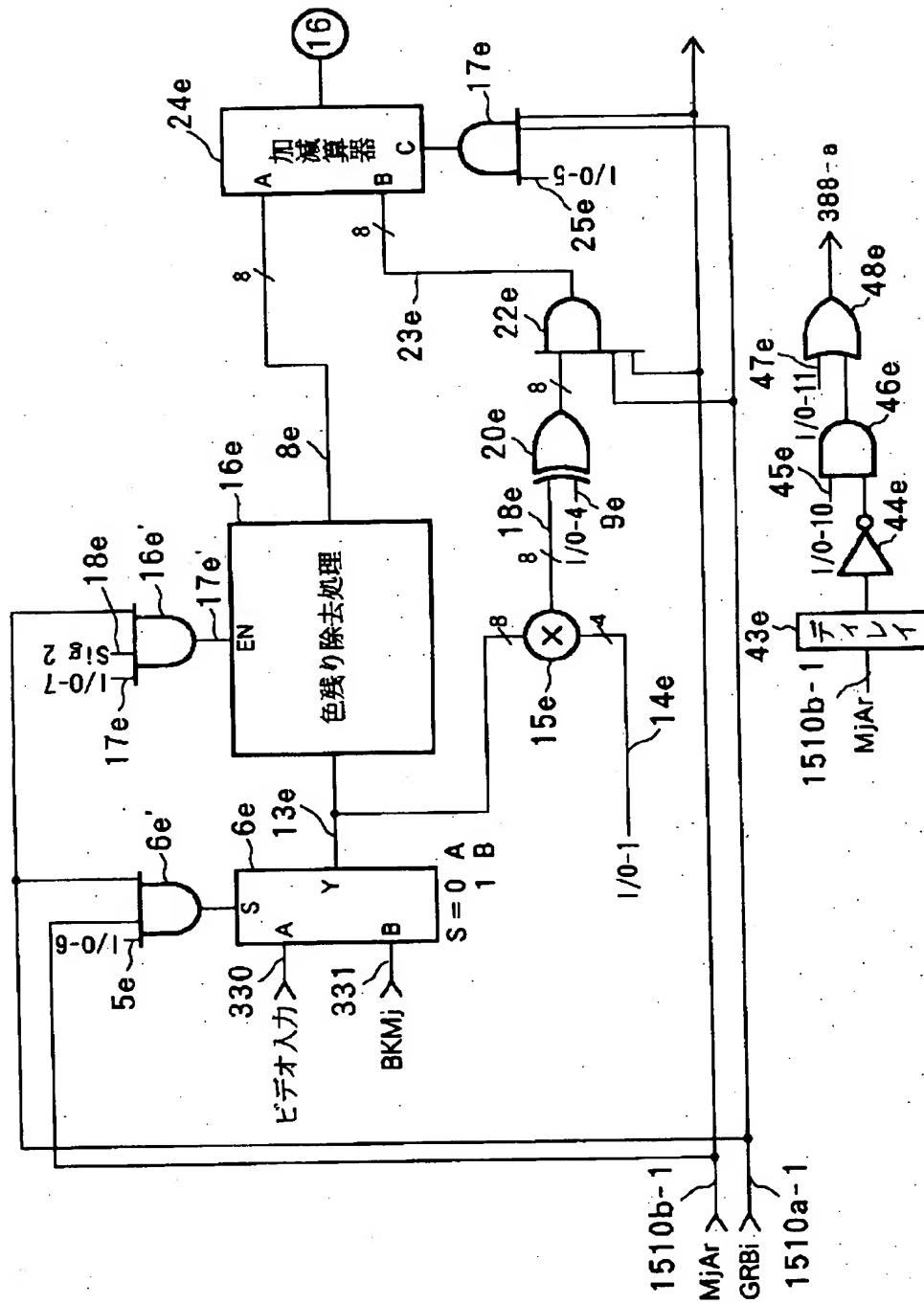
【図17】



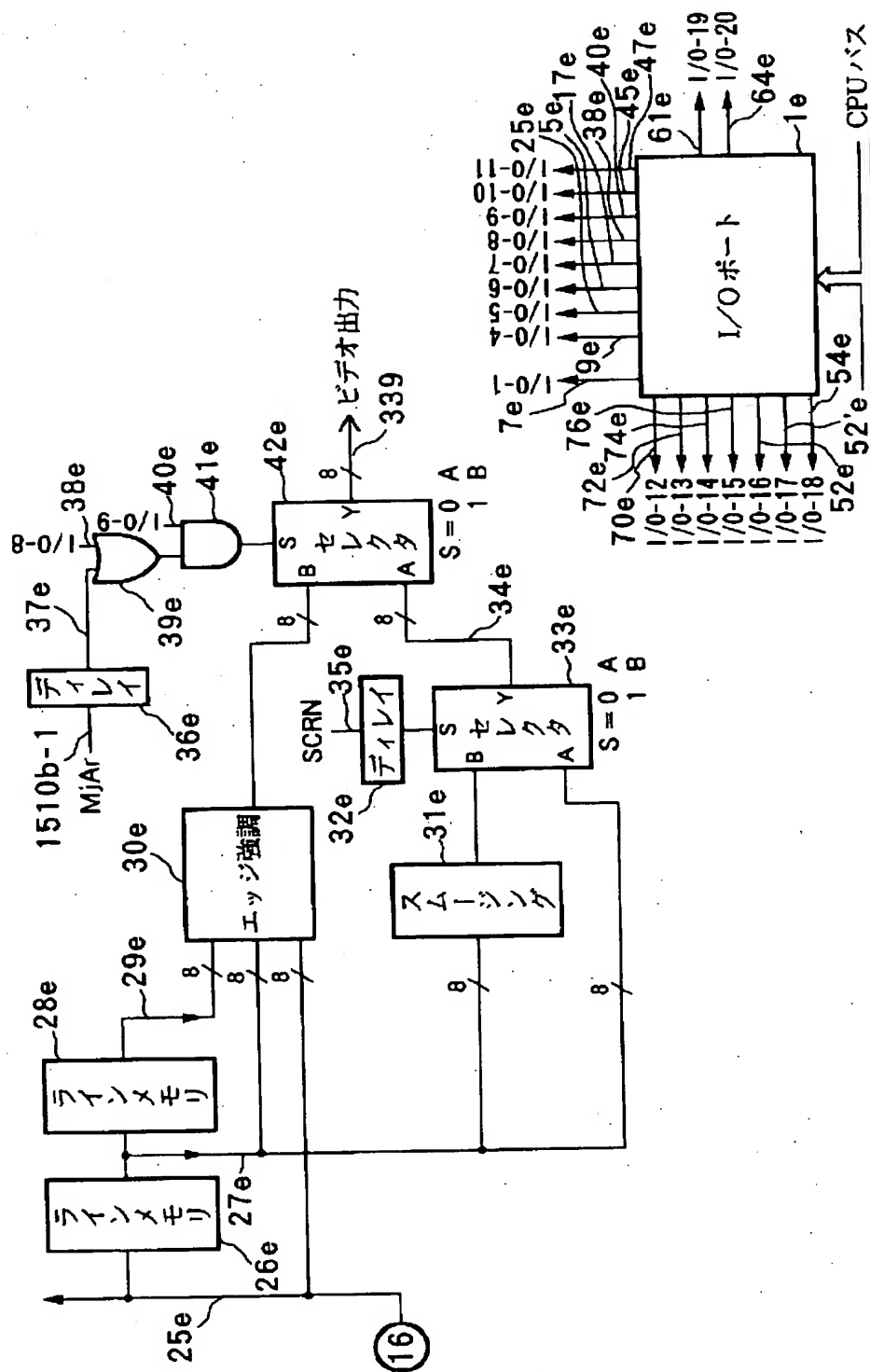
【図22】



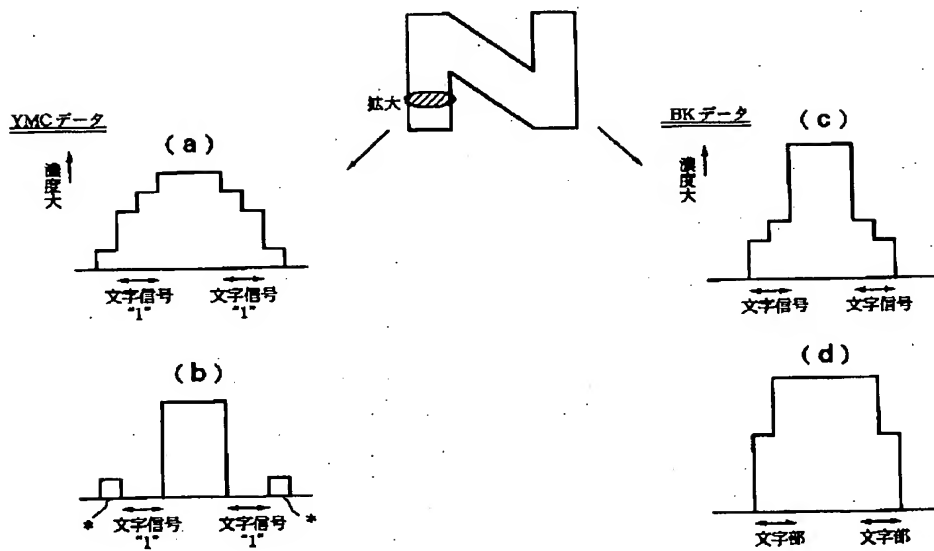
【図19】



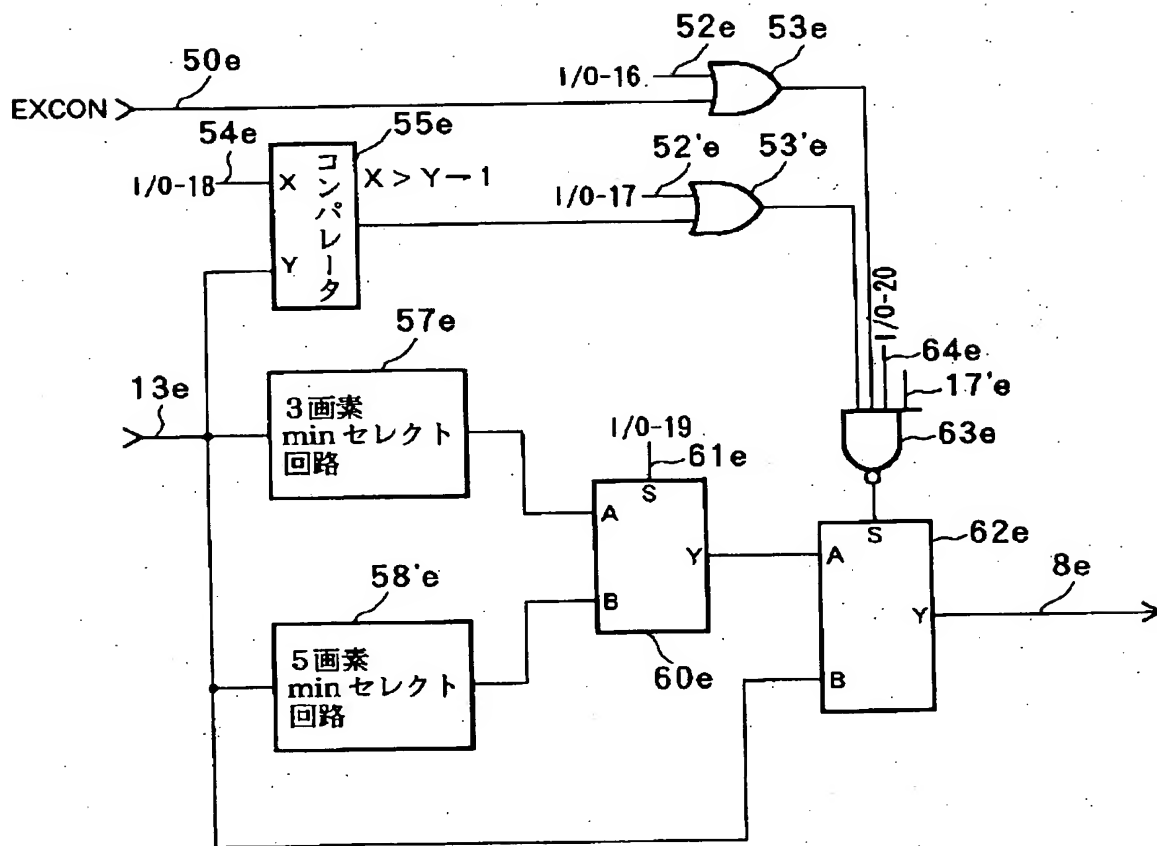
【図20】



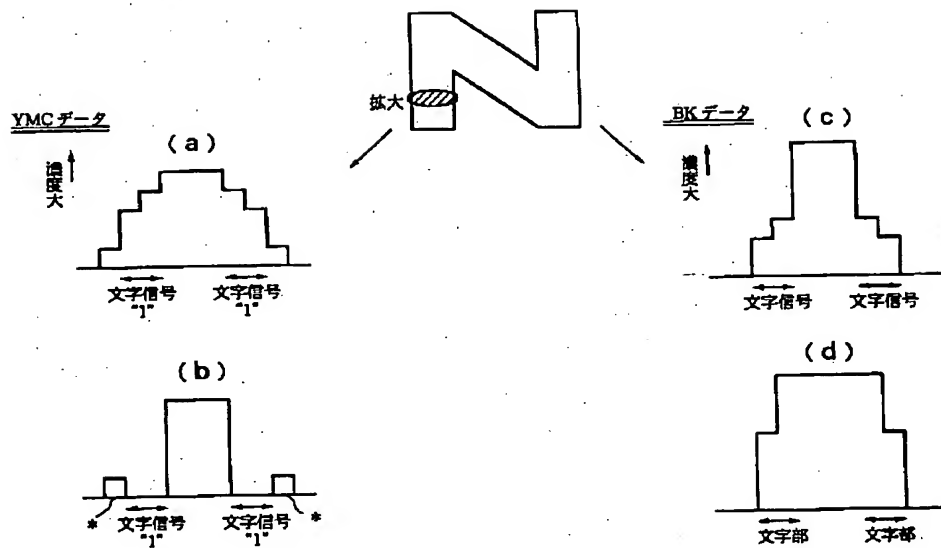
【図21】



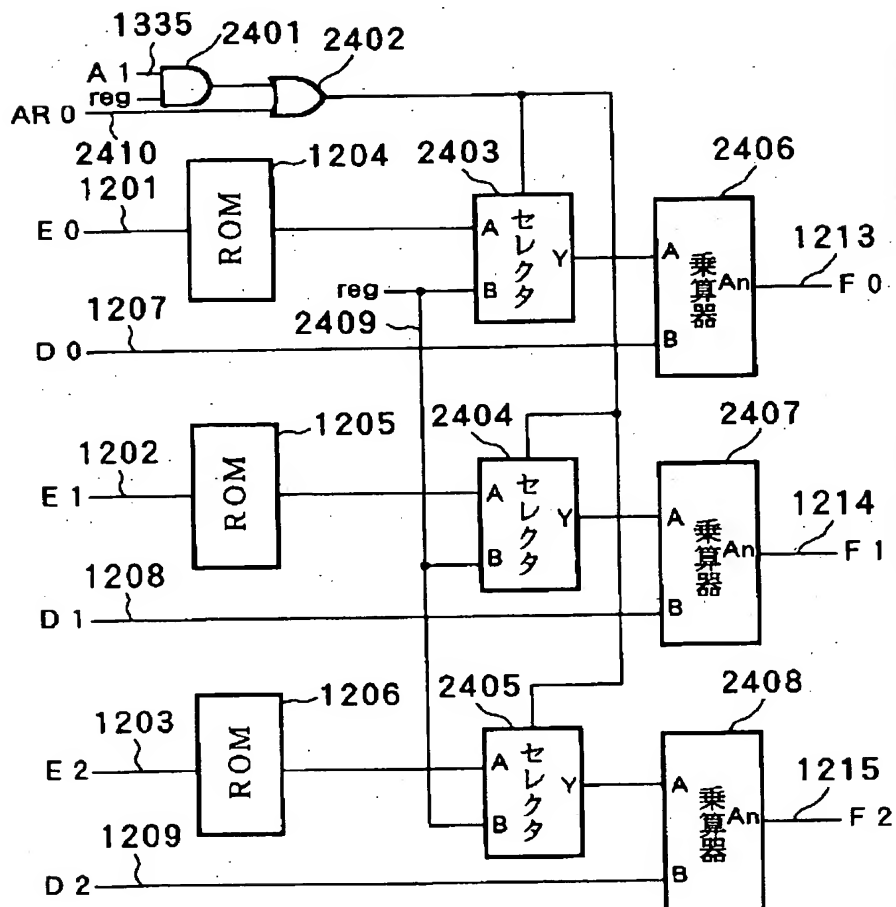
【図23】



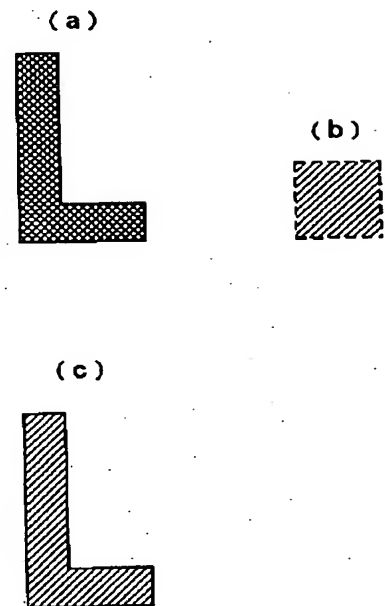
【図26】



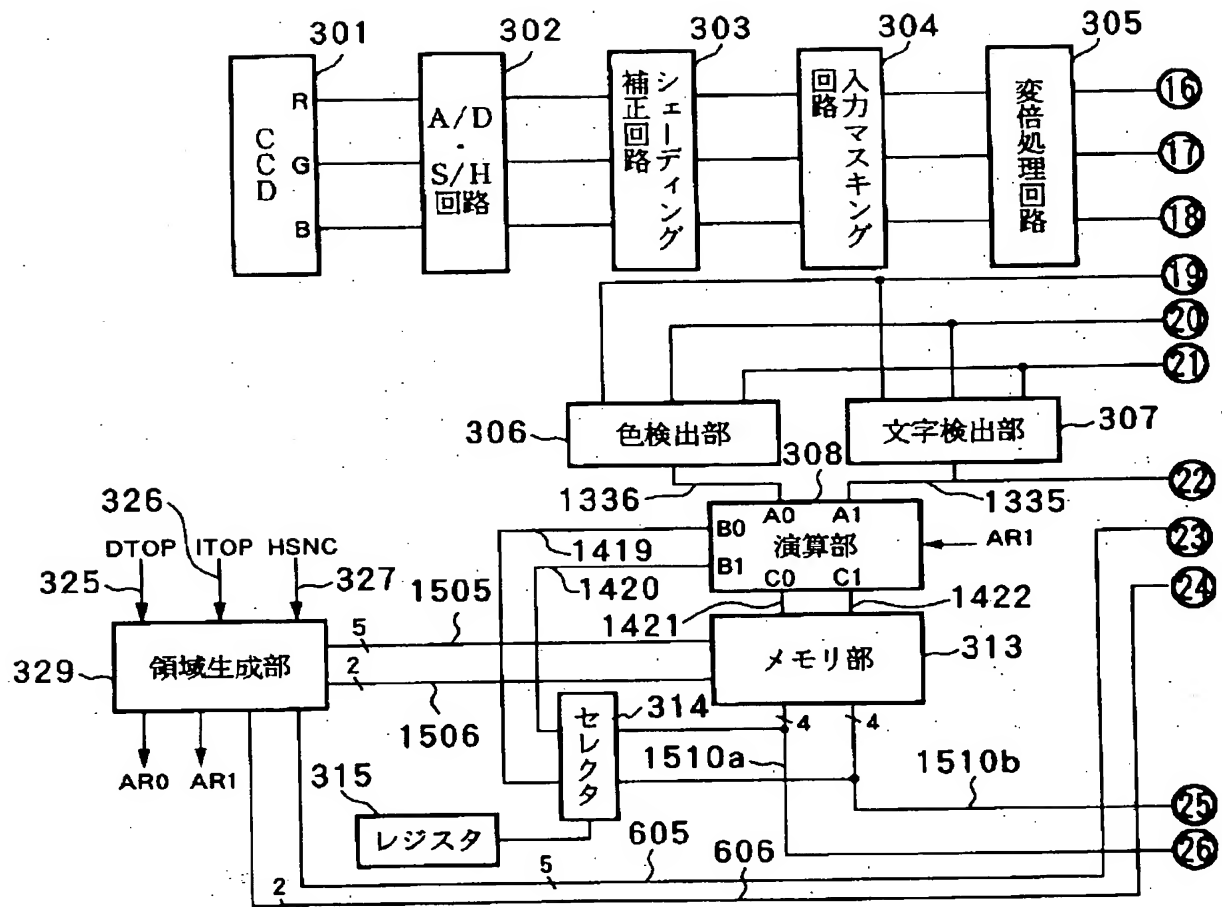
【図27】



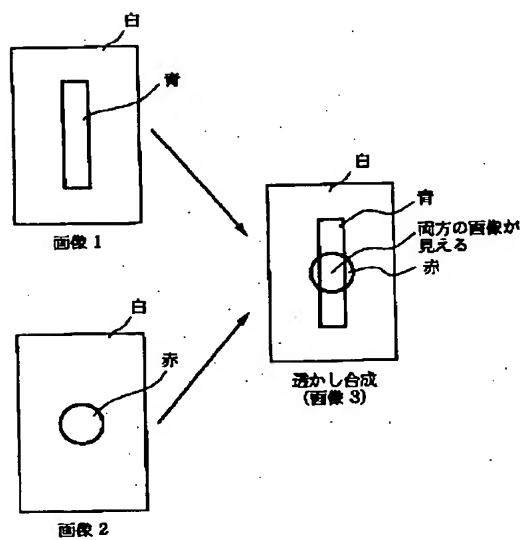
【図30】



【図28】



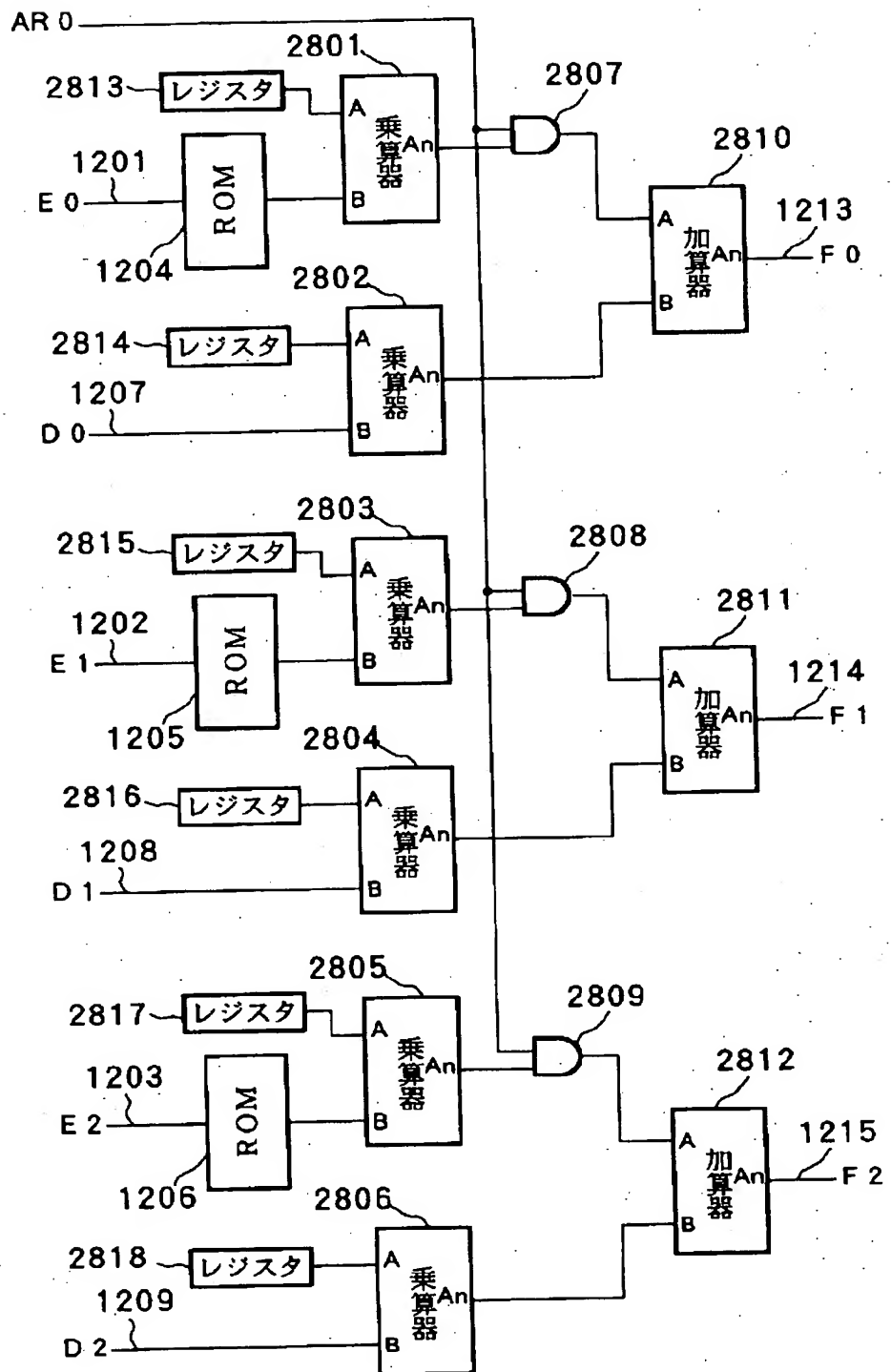
【図31】







【図32】



フロントページの続き

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/62	3 1 0 K	8125-5L		
15/66	3 1 0	8420-5L		
	4 5 0	8420-5L		